




32 位 CPU，64KB Flash/8KB RAM，高达 45 个快速 I/O，9 个定时器，6 个通信接口，1 个 LCD，1 个 ADC，1 个 DAC，3 个比较器，4 个运放，1 个反电动势采样电路，1.8~5.5V

主要特性

- 内核 : 32 位 CPU
 - 最高 72MHz 工作频率
 - 单周期乘法器
 - 硬件除法器
 - 存储器
 - 64KBytes 嵌入式 Flash (位宽 32bit)，支持预取功能和读/写保护
 - 8KBytes SRAM (位宽 32bit)，分为两个独立分区，每个分区 4KBytes
 - 复位和电源管理
 - 1.8V 到 5.5V 供电和 I/O
 - 两个 LDO，一个用于低功耗的常开/备份电源域，一个用于系统运行的内核电源域
 - 高精度上电、掉电复位 (POR_PDR)
 - 可编程低压复位 (LVR)，8 个低压复位点：1.6V、1.8V、2.0V、2.5V、2.8V、3.0V、3.5V、4.0V
 - 可编程电压监测器 (LVD)，8 个电压监测点：2.0V、2.2V、2.4V、2.7V、2.9V、3.1V、3.6V、4.5V
 - 时钟系统
 - 4MHz 到 16MHz 的高速晶振 (OSCH)
 - 内置出厂校准过的 16MHz RC 振荡器 (RCH, 1%精度)
 - 32KHz 低速晶振 (OSCL)
 - 内置出厂校准过的 24KHz RC 振荡器 (RCL, 10%精度)
 - 内置 PLL，最高输出 144MHz，抖动小于 100ps
 - 低功耗
 - 睡眠 (SLEEP) 模式、停机 (STOP) 模式、超低功耗停机 (ULP STOP) 模式
 - 调试模式
 - 串行线调试口 (SW-DP)
- 

LQFP-48-7×7-0.5 QFN32LD
- 启动模式
 - 支持从 Flash、SRAM、System Memory 启动
 - 编程模式
 - 支持串行在系统编程 (ISP)
 - 支持在应用升级 (IAP)，提供 UART、I2C、SSP 接口支持
 - 多达 45 个快速 I/O 端口
 - 所有 IO 都可映射到 16 个外部中断
 - 所有 IO 端口均可容忍 5V 信号
 - IO 上拉电阻阻值可选：20K 和 50K
 - 每个 IO 支持悬空输入/上拉输入/下拉输入/推挽输出/开漏输出/开源输出
 - 大部分 IO 支持一到两路模拟通道
 - 每个 IO 驱动能力和斜率两档可调
 - IO 保护二极管耐压需要达到 6.2V 以上
 - 9 个定时器
 - 1 个 16 位高级控制定时器 TIM1，5 个通道 (带 4 个互补通道)，支持输入捕获/输出比较/PWM 输出/单脉冲输出，支持正交增量编码输入，支持死区控制和紧急刹车
 - 1 个 32 位通用定时器 TIM2，4 个通道，支持输入捕获/输出比较/PWM 输出/单脉冲输出，支持正交增量编码输入、霍尔检测，和紧急刹车
 - 1 个 16 位通用定时器 TIM3，4 个通道，支持输入捕获/输出比较/PWM 输出/单脉冲输出，支持正交增量编码输入、霍尔检测，和紧急刹车
 - 1 个 16 位通用定时器 TIM14，1 个通道，支持输入捕获/输出比较/PWM 输出/单脉冲输出
 - 1 个 16 位通用定时器 TIM15，2 个通道 (带 2 个互补通道)，支持输入捕获/输出比较



- /PWM 输出/单脉冲输出，支持死区控制和紧急刹车支持中央调制模式
- 2 个 16 位通用定时器 TIM16/TIM17，1 个通道（带 1 个互补通道），支持输入捕获/输出比较/PWM 输出/单脉冲输出，支持死区控制和紧急刹车，支持中央调制模式
- 1 个独立看门狗定时器
- 1 个 24 位自减型系统时基定时器
- TIM1、TIM15、TIM16 和 TIM17 支持延时触发和防误触发机制
- WT 钟表定时器
 - 支持闹钟、周期性唤醒
 - 可配置频率的蜂鸣信号输出
- 通用 DMA
 - 4 个独立通道，8 个握手信号
 - 支持的外设包括 SSP、I2C、UART、ADC、DAC、Timer
- CRC 计算单元
 - 8 位、16 位、32 位可配置生成多项式
- 除法器 DIV
 - 1 个 64/32 除法器，32 运算周期，支持有符号运算，向下兼容 32/32
 - 1 个 32/16 除法器，8 运算周期，支持有符号运算，向下兼容 16/16
- 多达 6 个通信接口
 - 1 个 I2C 接口，支持主机/从机模式，支持 100Kbps、400Kbps 和 1Mbps 速率，支持 7 位/10 位寻址模式，带 FIFO 和支持 DMA
 - 3 个 UART/LIN 接口，UART0/1 支持 CTS/RTS 硬流控，UART3 接口支持红外功能，每个 UART 均支持 LIN 协议收发，最高波特率为 6Mbps，带 FIFO 和支持 DMA
 - 2 个 SSP 接口，支持主机/从机模式，支持 Motorola SPI、TI SSI 和 National Semiconductor Microwire 三种接口协议，4 到 16 位的帧大小，最高速率达 32Mbps，带 FIFO 和支持 DMA
- 1 个 LCD 液晶显示驱动
 - 最大支持 4*34、5*33、6*32 的 LCD 驱动
 - 支持电阻型 LCD，8 级可调对比度。
 - 电阻型驱动支持低功耗和高显示模式
 - 偏置电路支持 1/2BIAS 或 1/3BIAS
- 1 个 12 位 A/D 转换器
 - 最高转换速率为 2MSPS
 - 18 个通道(16 个外部通道, 2 个内部通道)
 - 内置温度传感器
 - 包含两个独立的采样/保持电路，采样保持电路可以单独触发，即可以先后触发并独立保持
 - 支持内部和外部参考电压：2.5V、3.3V、4V、5V、VDDA
 - 内置 16 级深度的 FIFO，支持直接读取
- 1 个 10 位 D/A 转换器
 - 1 个 10 位 D/A 转换器，参考电压 2.5V、4V、VDDA 可选
 - DAC 支持硬件触发和 DMA 传输，支持噪声波形和三角波形生成
- 3 个模拟比较器 (ACMP)
 - 3 个模拟比较器，比较器的参考电压来自 DAC10 参考或者外部端口
 - 内置 HALL 中心点还原模块，与 DAC10 输出点共用（保证 DAC 转换速度）
- 4 个运算放大器 (OPA)
 - OPA0/1/2/3/ 放大倍数：1/2/4/6/10/16/20/32
 - 运放的所有输入 (OPP、OPN) 均支持外部 3 路输入，或者内部接地
- 工作温度
 - 环境温度：-40°C ~ +125°C
 - 结温度：-40°C ~ +125°C
- 96 位芯片唯一 ID
- 已通过 AEC-Q100 认证

目录

主要特性	1
目录	3
图片目录	5
表格目录	6
1. 功能概述	7
1.1 模块框图	7
1.2 32 位处理器	7
1.3 嵌入式 Flash	7
1.4 嵌入式 SRAM	8
1.5 启动模式	8
1.6 电源管理	8
1.6.1 供电方案	8
1.6.2 电源检测	8
1.6.3 电压调压器 (LDO)	8
1.6.4 工作模式	9
1.7 时钟和启动	9
1.8 Multi-AHB 总线矩阵	10
1.9 外设互联矩阵	11
1.10 通用 I/O 端口 (GPIO)	11
1.11 DMA 控制器	12
1.12 中断和事件	12
1.12.1 嵌套的向量式中断控制器 (NVIC)	12
1.12.2 外部中断/事件控制器 (EXTI)	12
1.13 模数转换器 (ADC)	12
1.14 数模转换器 (DAC) 和模拟比较器 (ACMP)	14
1.15 运算放大器 (OPA)	16
1.16 定时器和看门狗	17
1.16.1 高级控制定时器 (TIM1)	18
1.16.2 通用定时器 (TIM2/3/14/15/16/17)	18
1.16.3 独立看门狗 (IWDG)	20
1.16.4 系统时基定时器 (SysTick)	20
1.16.5 时钟测量和校准	20
1.16.6 定时器间的互联	20
1.17 钟表定时器 (WT)	21
1.18 I2C 接口	21
1.19 UART/LIN 接口	21
1.20 SSP 接口	21
1.21 循环冗余校验 (CRC)	22
1.22 除法器 (DIV)	22
1.23 串行线调试口 (SW-DP)	22
1.24 液晶显示驱动模块 (LCD)	22
2. 引脚排列和引脚说明	23

3. 存储器映射	33
4. 电气特性	36
4.1 绝对最大值	36
4.2 推荐工作条件	36
4.2.1 推荐工作条件	36
4.2.2 系统复位及电压监控	37
4.2.3 内部参考电压	37
4.2.4 电流特性	38
4.2.5 退出低功耗时间	39
4.2.6 外部时钟特性	39
4.2.7 内部时钟特性	40
4.2.8 PLL 特性	40
4.2.9 Flash 存储特性	40
4.2.10 ESD 特性	41
4.2.11 I/O 管脚特性	41
4.2.12 ADC 特性参数	42
4.2.13 OPA 特性参数	43
4.2.14 ACMP 特性参数	44
4.2.15 DAC 特性参数	44
4.2.16 LCD 特性参数	45
5. 封装特性	46
6. 产品命名规则	48
7. 修订历史	49

图片目录

图 1-1 LCM32A039 模块框图	7
图 1-2 LCM32A039 时钟树	10
图 1-3 LCM32A039 总线矩阵	10
图 1-4 ADC 框图	13
图 1-5 ADC 触发互联框图	14
图 1-6 DAC、HALL_MID 和 ACMP 互联	15
图 1-7 OPA 内部结构和外部互联	17
图 1-8 时钟测量和校准	20
图 2-1 LCM32A039C8T8 引脚排布	23
图 2-2 LCM32A039K8U8 引脚排布	24
图 3-1 LCM32A039 存储器映射	33
图 5-1 LQFP48 (7*7-P0.5) 封装尺寸	46
图 5-2 QFN32 (5*5*0.75-P0.5) 封装尺寸	47

表格目录

表 1-1 LCM32A039 外设互联矩阵.....	11
表 1-2 定时器特性比较.....	18
表 1-3 定时器之间的互联.....	20
表 2-1 引脚排列表中使用的图例/缩略语.....	25
表 2-2 LCM32A039 引脚定义.....	25
表 2-3 端口 ABCF 可选复用功能映射.....	31
表 3-1 LCM32A039 外设寄存器地址空间划分.....	34
表 4-1 电压特性.....	36
表 4-2 电流特性.....	36
表 4-3 热特性.....	36
表 4-4 工作条件.....	36
表 4-5 系统监控与复位特性.....	37
表 4-6 内部参考电压特性.....	37
表 4-7 工作电流特性.....	38
表 4-8 低功耗电流.....	38
表 4-9 低功耗唤醒特性.....	39
表 4-10 外部时钟特性.....	39
表 4-11 外部晶振特性.....	39
表 4-12 内部时钟特性.....	40
表 4-13 PLL 特性.....	40
表 4-14 Flash 存储特性.....	40
表 4-15 ESD 保护和 Latch-up 免疫特性.....	41
表 4-16 I/O 特性.....	41
表 4-17 ADC 特性.....	42
表 4-18 TS 特性.....	43
表 4-19 ADC 精度.....	43
表 4-20 OPA 特性.....	43
表 4-21 ACMP 特性.....	44
表 4-22 DAC 特性.....	44
表 4-23 LCD 驱动器特性.....	45

1. 功能概述

1.1 模块框图

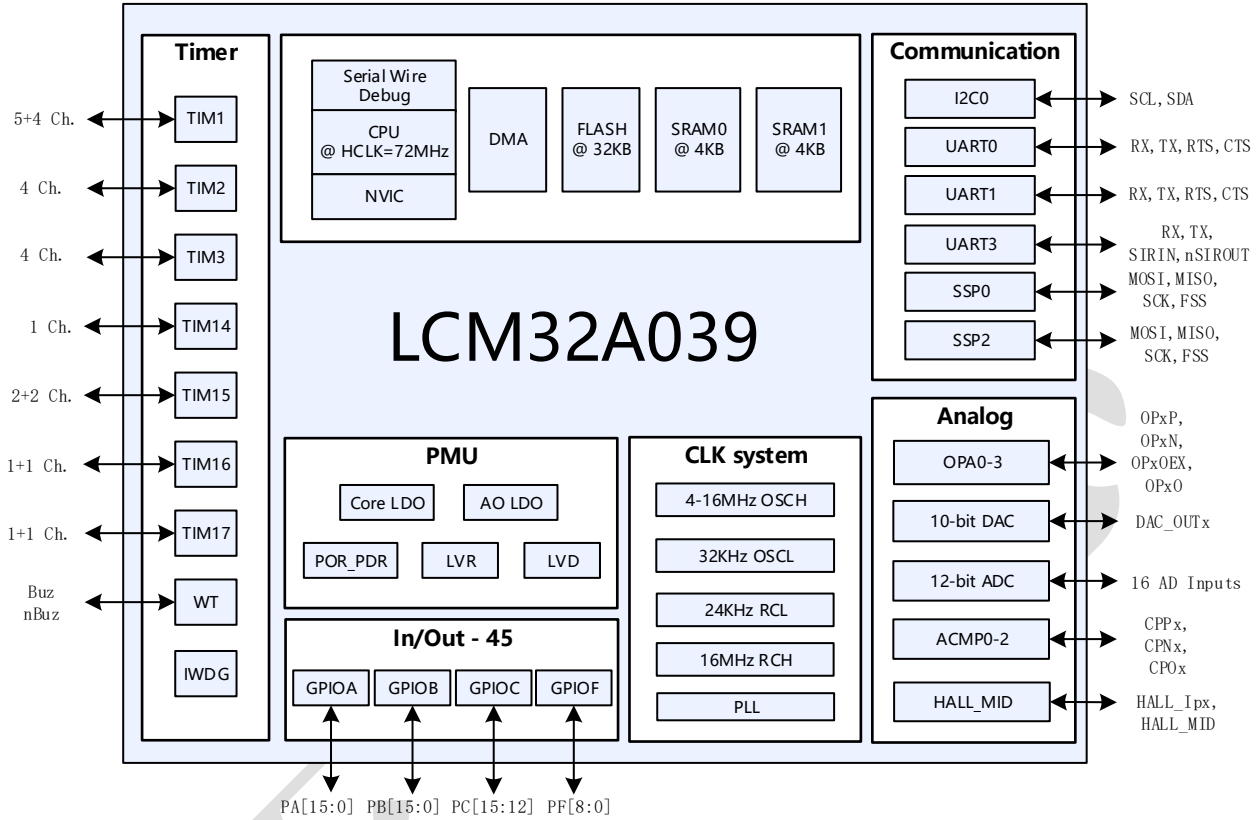


图 1-1 LCM32A039 模块框图

1.2 32 位处理器

采用 32 位 CPU，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗、提供额外的代码效率，同时提供卓越的计算性能和先进的中断系统响应。

1.3 嵌入式 Flash

LCM32A039 内置嵌入式 64KB Flash 用来存储程序和数据。

Flash 访问时间依赖于 CPU 时钟频率：CPU 时钟频率在 0 到 32MHz 之间时，0 个等待周期；在 32MHz 到 64MHz 时，1 个等待周期；在 64MHz 到 72MHz 时，2 个等待周期。CPU 高速运行时，为了提高访问效率，减少等待时间，实现了 3 个 32 位的指令预取 Buffer。

Flash 在功能上被划分为三个部分：

- 64 KBytes 的 Main Memory，主要用于存储用户程序和数据
- 512 Bytes 的 Option Bytes，用于读写保护和用户配置信息等
- 1536 Bytes 的 System Memory，用于存储 Boot Loader、校准信息和设备配置信息等

写保护防止 Main Memory 被篡改，以 2KBytes (2 个 Page) 为单位，一共有 32 个独立的写保护区间。

读保护分为三个保护等级；Main Memory 划分为 8 个区间，每个区间可以独立配置为读保护等级 0 或者等级 1；读保护等级 2 针对所有的 Memory 区间。

- Level 0: 没有读保护

- Level 1: 存储读保护, 不能通过 debug 端口、SRAM/System Memory 里的程序和读保护等级为 0 的 Main Memory 区间里的程序读写 Flash
- Level 2: 芯片读保护, debug 功能和从 SRAM/System Memory 里执行程序功能被禁止

1.4 嵌入式 SRAM

LCM32A039 包含两个独立的 SRAM Bank, 支持同时读写。每个 Bank 为 4Kbytes(位宽 32bit), 一共 8Kbytes。CPU 能以 0 个等待周期对 SRAM 进行读写访问。

1.5 启动模式

启动时, boot0pin 和 boot selector option bit 用来选择三种启动模式:

- 从 Main Memory 启动
- 从 System Memory 启动
- 从 SRAM 启动

Boot loader 在 system memory 里, 可以通过 UART/I2C/SSP 通信接口对 Flash 进行在应用编程和升级。

1.6 电源管理

1.6.1 供电方案

- VSS, VDDH = 1.8~5.5V: VDDH 引脚为 I/O 引脚和 RCH、PLL 等高频模块供电。
- VSSA, VDDA = 1.8~5.5V: 为复位模块、RC 振荡器、PLL、内部调压器 (LDO) 和模拟模块供电。VDDA 电压必须大于或等于 VDDH 电压, 并且要先于 VDDH 提供。VDDA 和 VSSA 可分别连接到 VDDH 和 VSS。

1.6.2 电源检测

LCM32A039 内部集成了一个高精度的上电/掉电复位 (POR/PDR) 电路。这个复位电路在上电时始终处于工作状态, 保证系统在供电超过 1.8V 时工作; 当供电低于设定的阈值时, 设备处于复位状态, 而不必使用外部复位电路。

LCM32A039 内部还集成了一个可编程低压复位器 (LVR), 它监视 VDD 供电并与设定的阈值电压比较, 当 VDD 低于阈值电压时, 置设备于复位状态。LVR 默认是打开的, 可通过软件关闭。LVR 支持 8 个低压复位点: 1.6V、1.8V、2.0V、2.5V、2.8V、3.0V、3.5V、4.0V。当 MCU 的系统频率超过 72MHz 时, 要求 MCU 供电大于 4V, 因此建议设置 LVR 档位为 4.0V 作为保护; 其他系统频率下, 可根据供电配置合适的 LVR 档位。

LCM32A039 内部还集成了一个可编程电压监测器 (LVD), 它监视 VDD 供电并与设定的阈值电压比较, 当 VDD 低于或高于阈值电压时产生中断, 中断处理程序可以发出警告信息或将设备转入安全模式。LVD 默认是关闭的, 需要通过软件开启。LVD 支持 8 个电压监测点: 2.0V、2.2V、2.4V、2.7V、2.9V、3.1V、3.6V、4.5V。

1.6.3 电压调压器 (LDO)

LCM32A039 里包含两个 LDO, 内核 LDO 用于系统运行的内核电源域, 常开 LDO 用于常开/备份电源域。两个 LDO 在上电复位后处于工作状态。当处于超低功耗停机模式时, 内核 LDO 停止工作, 系统由常开 LDO 供电。

内核 LDO 有三种操作模式:

- 主模式 (MR), 用于系统正常的运行操作, 三档驱动能力可调
- 低功耗模式 (LPR), 此时 LDO 的自身功耗下降到 10uA 左右, 输出驱动能力降低, 用于系统的停机模式

- 关断模式（PD），用于超低功耗停机模式。如果系统处于超低功耗停机模式，内核电源域由常开 LDO 供电，寄存器和 SRAM 的内容保持，常开 LDO 的电压四挡可调，分别为 1.0、1.1、1.2 及 1.5V。

1.6.4 工作模式

系统上电复位或者外部复位之后，默认处于运行模式，用户可以根据自身的环境应用，选择进入不同的低功耗模式来节省 MCU 功耗。LCM32A039 支持两种工作模式和三种低功耗模式，可以在低功耗、短启动时间和可唤醒源之间达到最佳的平衡。

工作模式：

- 正常工作模式：
可通过配置来降低系统时钟或配置各个外设时钟的关闭。
- 低功耗工作模式：
可通过软件配置整个系统在 RCL 时钟下低功耗工作。内核电源域的所有高频时钟（PLL、RCH 和 OSCH）关闭，内核 LDO 关闭，系统选择常开 LDO 供电，各个模拟模块的关闭通过软件配置。CPU 和内核电源域里的数字模块可以工作。可通过配置退出此模式。

低功耗模式：

- 睡眠模式（SLEEP）
在睡眠模式，只有 CPU 停止工作，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU，内核 LDO 处于主模式。
- 停机模式（STOP）
在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到极低的功耗。在停机模式下，内核 LDO 可以被配置为主模式或者低功耗模式。内核电源域的所有高频时钟全部被关掉，PLL、RCH 和 OSCH 被关闭，内核电源域里的各个模拟模块根据内核 LDO 的状态，可以通过软件关掉或者打开。
可以通过任何 EXTI 信号把系统从停机模式中唤醒，EXTI 信号可以是 16 个映射的外部 I/O 口之一、LVD 的输出、WT 闹钟或模拟比较器的输出。
- 超低功耗停机模式（ULP STOP）
在保持 SRAM 和寄存器内容不丢失的情况下，超低功耗停机模式可以达到最低的功耗。在超低功耗停机模式下，内核 LDO 被关闭，内核电源由常开 LDO 提供。内核电源域的所有高频时钟全部被关掉，PLL、RCH 和 OSCH 被关闭，内核电源域里的各个模拟模块也全部被关掉。
超低功耗模式时，常开 LDO 输出电压有 4 档可选，当选择 1.0V 时，可进一步降低静态功耗。
可以通过任何 EXTI 信号把系统从超低功耗停机模式中唤醒，EXTI 信号可以是 16 个映射的外部 I/O 口之一、LVD 或 WT 闹钟的输出。

1.7 时钟和启动

系统时钟源的选择是在启动时进行，复位时内部 16MHz 的 RC 振荡器 RCH 被选为默认时钟。随后可以选择外部的具失效监控的 4~16MHz 的晶振时钟 OSCH 或者 PLL 时钟。时钟安全系统（CSS）可以被激活，它在 OSCH 时钟启动并稳定后被使能，并在 OSCH 时钟关闭后关闭。当 CSS 使能且 OSCH 时钟出现故障时，CSS 产生中断。

如果时钟选用 OSCH 或 PLL（OSCH 源），在进入低功耗模式（STOP/ULP STOP）时，系统会自动激活 CSS 并把系统时钟自动切换到 RCH 时钟，随后再关闭它们（RCH、OSCH 和 PLL 时钟）。

OSCH 使用 PF0 和 PF1，OSCL 使用 PA0 和 PA1，因此实际使用时，可以同时打开。

RCH、OSCH、PLL 和几个时钟分频器一起用来配置 AHB 和 APB0/1 总线的频率。AHB 和 APB 总线所支持的最高频率为 72MHz。LCM32A039 的时钟框图如图 1-2 所示。

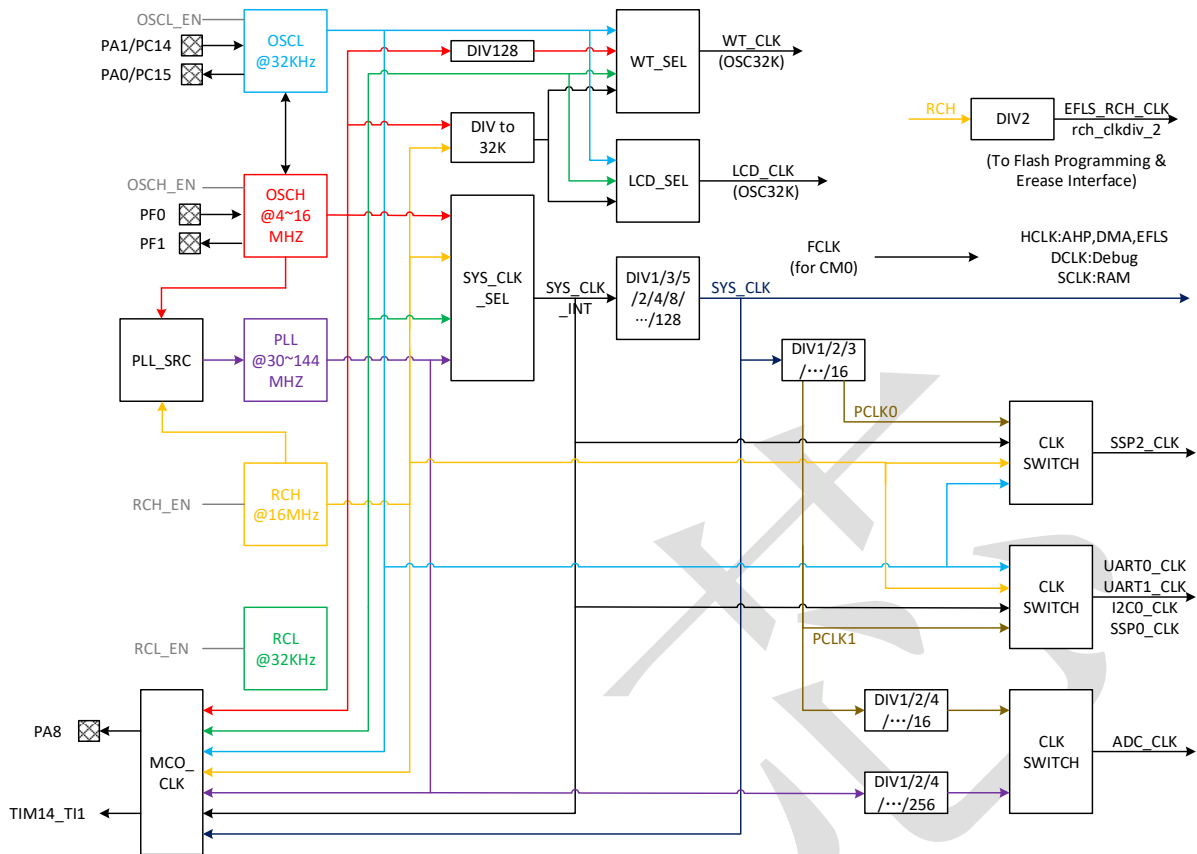


图 1-2 LCM32A039 时钟树

1.8 Multi-AHB 总线矩阵

32 位的多 AHB 总线矩阵将所有主机模块（CPU、DMA）和从机模块（Flash、SRAM、AHB、APB 外设）互连，确保芯片多个高速外设可以同时高效地工作。

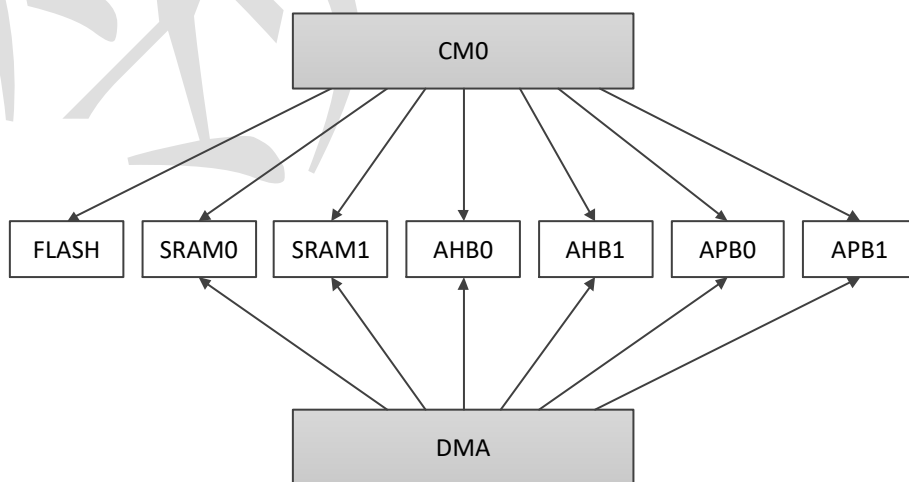


图 1-3 LCM32A039 总线矩阵

1.9 外设互联矩阵

LCM32A039 外设之间存在可配置的互联，允许外设之间自动、灵活地进行通信交互，可以节省 CPU 开销并降低功耗，而且保证了快速、可预测的响应延时。

表 1-1 LCM32A039 外设互联矩阵

互联发起源	互联目标	联动行为
TIMx	TIMx	定时器之间的同步和联动
	ADC	A/D 转换触发
	DACx	D/A 转换触发
	ACMPx	比较器输出消隐控制
	DMA	Memory 传输触发
ADC	TIMx	模拟看门狗触发定时器
GPIO WTCLK OSCH/128 MCO	TIM14	各时钟源接入定时器的输入通道，用于时钟测量和校准
ACMPx	TIMx	定时器输出控制，输入捕获，输入触发
	ADC	A/D 转换触发
CSS CPU (Hard Fault) LVD ACMPx GPIO	TIM1 TIM2 TIM3 TIM15 TIM16 TIM17	定时器紧急关断输入
GPIO	TIMx	外部触发
	ADC	A/D 转换外部触发
	DACx	D/A 转换触发
DACx	ACMPx	比较器输入

1.10 通用 I/O 端口 (GPIO)

LCM32A039 包含多达 45 个快速 I/O 端口，可以容忍 5V 电压，上拉电阻阻值可选：20K 和 50K。驱动能力和斜率两档可调，所有 I/O 都有大电流的功能，具有速度选择以更好地管理内部噪声、功耗、电磁辐射。

每个 I/O 端口可被软件配置为悬空输入、上拉输入、下拉输入、推挽输出、开漏输出、开源输出、可选的外设复用功能。

大部分 I/O 端口包含一到两路模拟通道，软件可配置关断或者使能。当 I/O 包含两路模拟通道时，两路模拟通道可以同时打开，内部导通。

I/O 端口支持外设复用的重映射功能，那些复用的外设功能不仅可以通过默认的引脚实现，还可以通过其他那些可重映射的引脚实现。这使得引脚的选择更加灵活，制板更加方便。使用户可以在选定的设备下实现最多数量的外设功能。

I/O 功能配置可通过执行一个特定的读写操作序列来锁住，防止意外篡改。

1.11 DMA 控制器

LCM32A039 包含一个 4 通道的 DMA 控制器，直接管理存储器到存储器、外设到存储器、存储器到外设和外设到外设之间的数据传输。DMA 控制器支持多块和环形缓冲区的管理，避免了控制器传输到达每块缓冲区结尾时所产生的中开销。

每个通道可以配置为由硬件 DMA 请求触发，也可以配置为由软件 DMA 请求触发。每个通道的传输长度、传输源地址和目标地址都可以通过软件独立设置。

DMA 可以用于下列外设：SSP、I2C、UART、ADC、DAC 和定时器。

1.12 中断和事件

1.12.1 嵌套的向量式中断控制器（NVIC）

LCM32A039 内置嵌套的向量式中断控制器，能够处理多达 32 个可屏蔽中断和一个不可屏蔽中断通道，这些中断共有 4 个可配置优先级。

NVIC 与处理器核心接口紧密耦合，实现了低延迟中断处理和对延迟中断的高效处理。包括核心异常在内的所有中断都由 NVIC 管理。

1.12.2 外部中断/事件控制器（EXTI）

外部中断/事件控制器（EXTI）管理外部和内部的异步事件/中断，并向 CPU/中断控制器生成事件请求，并向电源管理器生成唤醒请求。

EXTI 允许管理 25 个外部/内部事件线（多达 45 个通用 I/O 口连接到 16 个外部中断线和 9 个内部事件线）。

每个中断/事件线都可以独立地配置它的触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；一个挂起寄存器维持所有中断请求的状态。

EXTI 可以检测到脉冲宽度小于内部 APB1 的时钟周期，也可以配置为同步滤波窄脉冲（依赖于时钟频率，脉冲宽度可由纳秒级到毫秒级）。

1.13 模数转换器（ADC）

LCM32A039 内置有 1 个 12 位模拟/数字转换器 ADC，一共有 16 个外部通道（三个运算放大器输出、通过 I/O 模拟通道连接的内部带隙基准参考电压）和 2 个内部通道（温度传感器和 VDDA）；包含两个独立的采样/保持电路；最高转换速率达 2MSPS。DAC 和运算放大器的输出也可以通过 I/O 端口送给 ADC 的输入通道。

ADC 支持使用内部或者外部参考电压（2.5V、3.3V、4V、5V、VDDA 或者外部 I/O 供电）。

ADC 可以实现单次或序列模式转换。序列模式下，对选定的一组模拟输入自动进行转换。

ADC 最多支持 2 个通道的软件注入，拥有独立的配置位。

ADC 内置有一个温度传感器，温度传感器产生一个随温度线性变化的电压。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值范围时，将产生中断。

定时器 TIMx、模拟比较器和外部 I/O 产生的事件可以通过各种逻辑组合触发 ADC 的启动。

ADC 工作时钟支持总线时钟（PCLK1）的同步分频，或者 PLL 时钟的异步分频。当使用总线时钟的同步分频时，如果触发源为同步的定时器输出，则可以旁路触发同步逻辑，减少 ADC 的触发延时。当使用 PLL 时钟的异步分频时，ADC 可以全速工作，但系统时钟可以独立设置，不受 ADC 影响。

ADC 支持 DMA 操作，并且带有一个 16 深度的 FIFO。

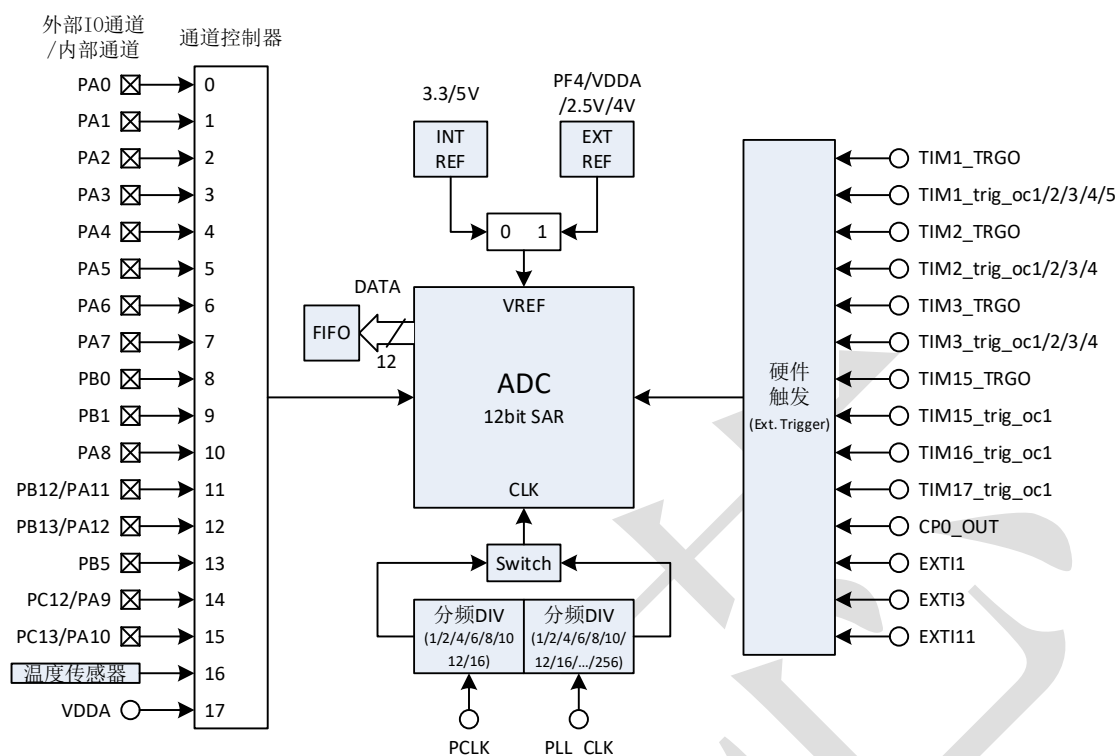


图 1-4 ADC 框图

注 1: VBG/OP20/DAC_OUT0/DAC_OUT1/OP0OEX/OP1OEX/OP2OEX/OP3OEX 输出可以通过 I/O 的两个模拟通道环路到 ADC 的输入通道。I/O 必须配置成模拟模式，两个模拟通道都要使能；外部高阻；I/O 被占用，不得用作其他功能。

注 2: 使用 PC13 作为 AD15 输入时，请关闭 PA10 的模拟 1 通道；使用 PA10 作为 AD15 输入时，请保持 PC13 输入悬空。

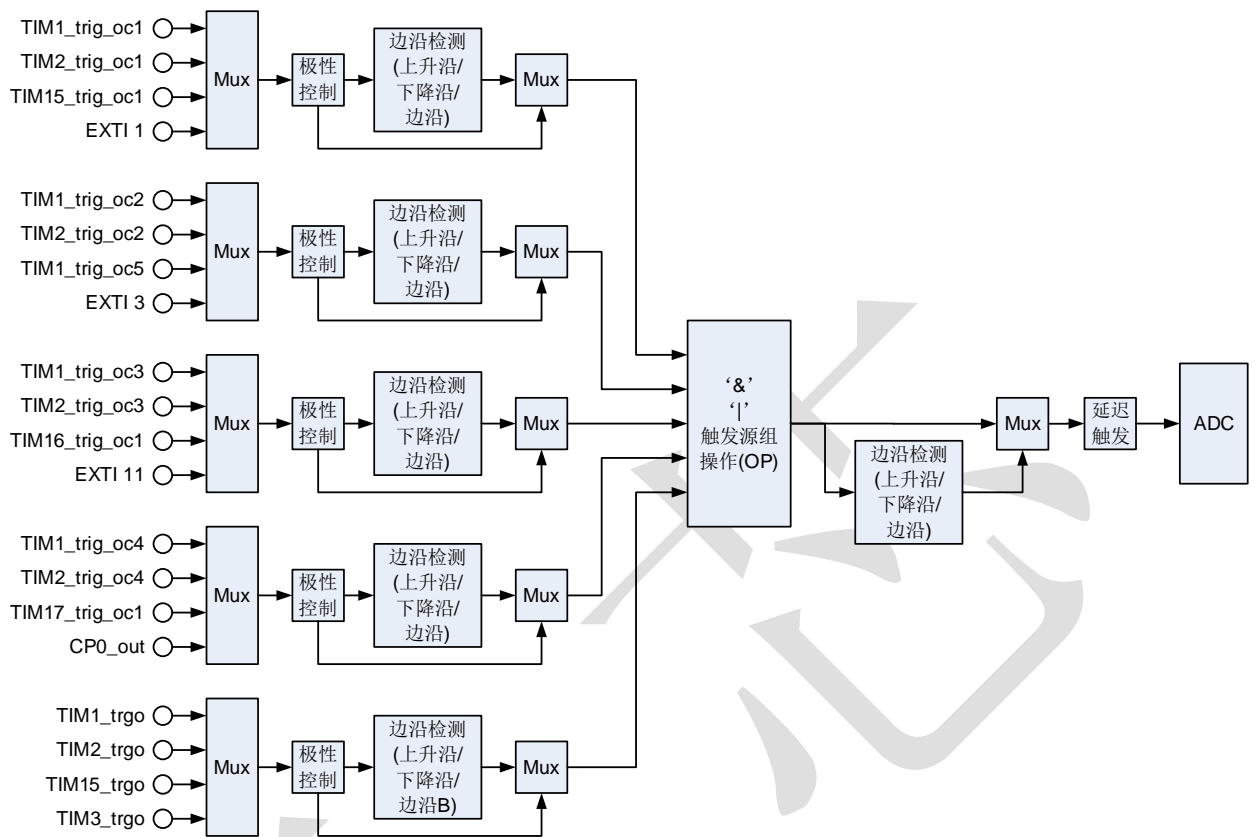


图 1-5 ADC 触发互联框图

1.14 数模转换器（DAC）和模拟比较器（ACMP）

LCM32A039 包含 1 个 10 位 DAC 模块，可用于将输入的 1 路数字信号转换成 1 个模拟电压输出到 I/O 或者 3 个模拟比较器的输入。每个 DAC 参考电压可选为 2.5V、4V 或 VDDA。每个 DAC 都支持硬件触发和 DMA 传输功能。每个 DAC 都支持硬件产生可配置的伪随机噪声波形和三角波形。

LCM32A039 包含 3 个快速的轨到轨模拟比较器，比较器的输入来自内部 DAC 输出、HALL_MID 输出或者外部端口。比较器的外部触发、迟滞、速度、滤波、极性和消隐都可以通过软件配置。所有的比较器都可以产生中断，支持将系统从停机模式唤醒。所有的比较器都可以和定时器联动，产生紧急刹车信号。两个比较器可以组合成一个窗口比较器。

LCM32A039 包含 1 个 HALL 中心点还原模块（HALL_MID）模块，可以和 DAC、ACMP 联动工作。I/O 端口、反向电动势采样控制电路、DAC 和比较器之间的互联如下图所示。

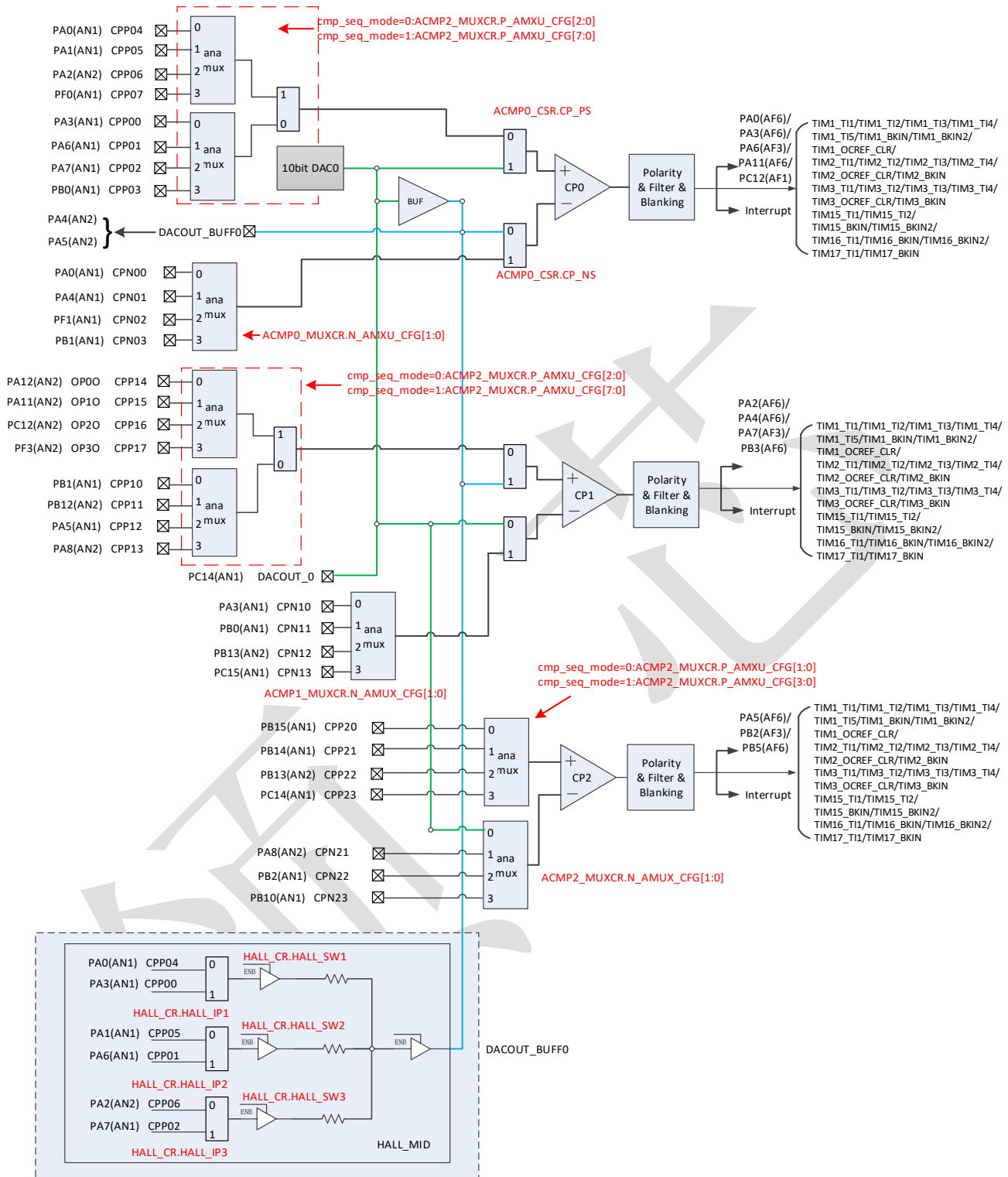
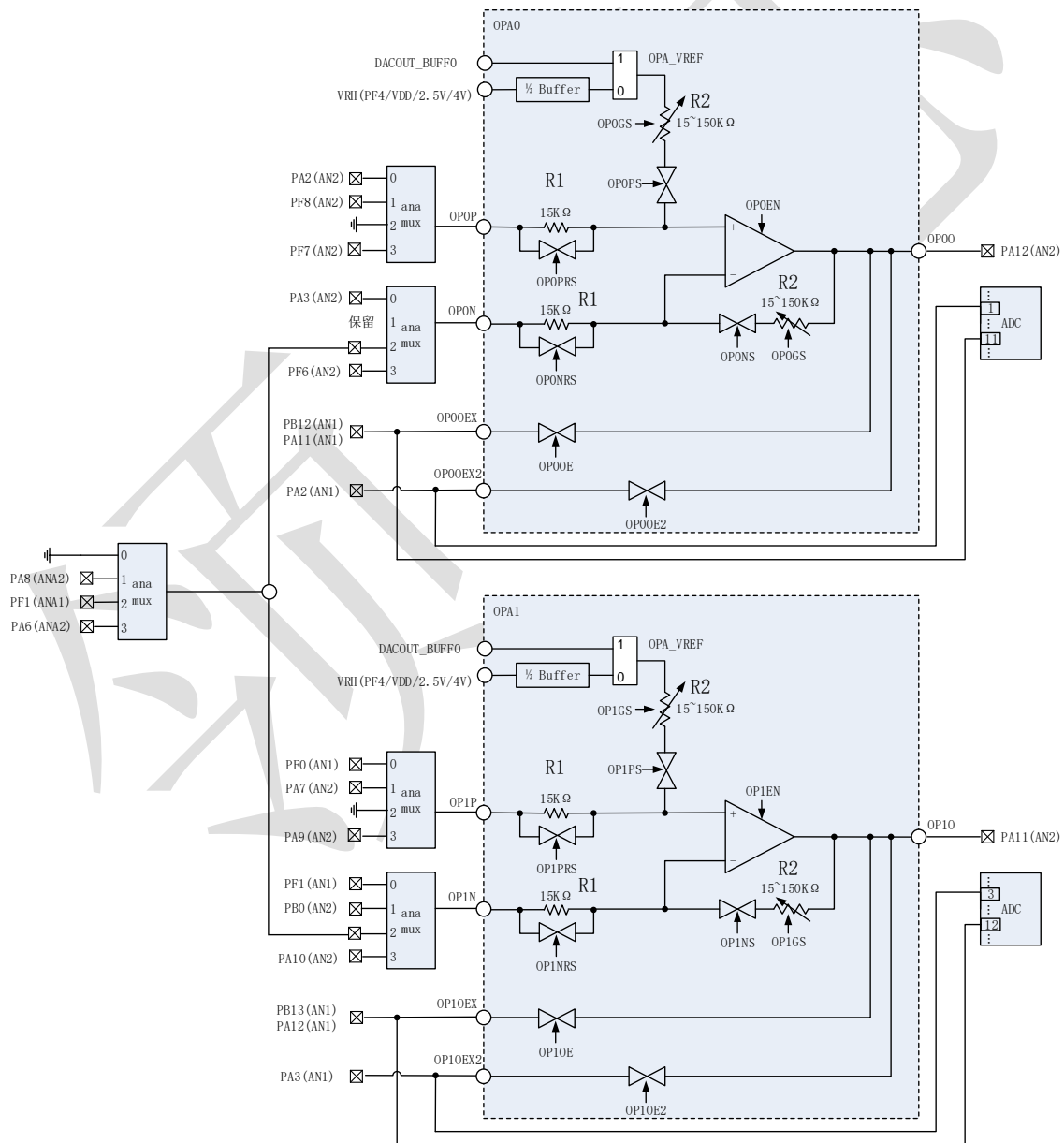


图 1-6 DAC、HALL_MID 和 ACMP 互联

1.15 运算放大器 (OPA)

LCM32A039 内置 4 个运算放大器。放大倍数均为 1/2/4/6/10/16/20/32, 输出偏置为 VRH/2 或 DAC_OUT。三个运算放大器具有如下特性:

- 输入共模电压: 0V ~ VDDA
 - 输入失调电压: -/+ 5mV (未校准); -/+ 1mV (校准后)
 - 转换速率: 5V/us
 - 电源电压抑制比: 60DB (min), 80DB (typ)
 - 增益系数精度: +/- 1%
 - 运放的温度漂移: 0.1%
 - CMRR: 90dB
 - 运放的温度特性: 温度越高, 放大倍数略大, 即放大曲线上翘, 严禁下曲
- OPA 内部结构和外部互联如下图所示。



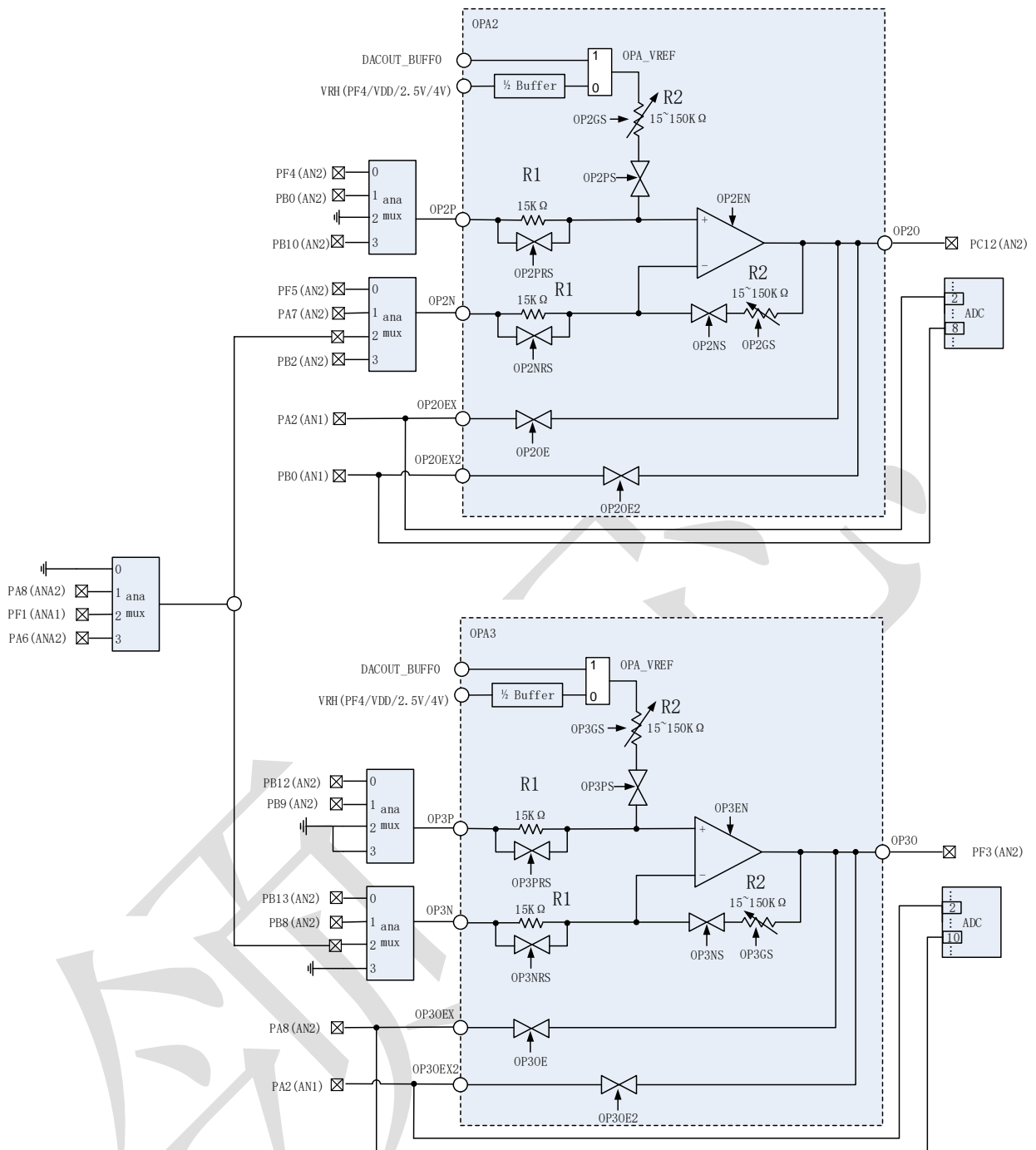


图 1-7 OPA 内部结构和外部互联

注：OP20 输出可以通过 I/O 的两个模拟通道环路到 ADC 的输入通道。I/O 必须配置成模拟模式，两个模拟通道都要使能；外部高阻；I/O 被占用，不得用作其他功能。

1.16 定时器 and 看门狗

LCM32A039 包括 1 个高级控制定时器、6 个通用定时器、1 个独立看门狗和 1 个系统时基定时器。在调试模式下，可以冻结所有定时器计数器。

表 1-2 比较了高级控制定时器和通用定时器的特性。

表 1-2 定时器特性比较

定时器类型	名称	计数器精度	计数器方向	预分频系数	DMA 请求	捕获/比较通道	互补输出
高级定时器	TIM1	16-bit	Up, Down, Up/down	1~65536	Yes	5	4
通用定时器	TIM2	32-bit	Up, Down, Up/down	1~65536	Yes	4	0
	TIM3	16-bit	Up, Down, Up/down	1~65536	Yes	4	0
	TIM14	16-bit	Up	1~65536	No	1	0
	TIM15	16-bit	Up, Down, Up/down	1~65536	Yes	2	2
	TIM16	16-bit	Up, Down, Up/down	1~65536	Yes	1	1
	TIM17	16-bit	Up, Down, Up/down	1~65536	Yes	1	1

1.16.1 高级控制定时器（TIM1）

高级定时器 TIM1 是一个 16 位的定时器/计数器，由一个可编程的预分频器驱动，有 5 路不同的捕获/比较通道（4 路互补通道）。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）和产生输出波形（输出比较，PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、刹车、触发）的中断以及与其它定时器或外部信号（外部时钟、复位、触发和使能信号）同步。

TIM1 可以看作是一个复用 6 个通道的 3 相 PWM，支持互补的 PWM 输出，能插入可编程的死区时间。也可以看作是一个完整的通用定时器。5 个独立的通道可以被分别用于

- 输入捕获
- 输出比较
- PWM 生成（边沿或中央对齐模式）
- 单脉冲模式输出

如果配置为一个标准的 16 位定时器，TIM1 具有 TIMx 定时器的所有特性。如果配置为 16 位 PWM 生成器，TIM1 具有全调制能力（0 到 100%）。TIM1 支持延时触发和防误触发机制。在调试模式下，计数器可以被冻结。TIM1 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

1.16.2 通用定时器（TIM2/3/14/15/16/17）

LCM32A039 内置有 6 个可同步的通用定时器，具体差异参见上面的表 1-2。

● TIM2

通用定时器 TIM2 是一个 32 位的定时器/计数器，由一个可编程的 16 位预分频器驱动，有四路不同的捕获/比较通道。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）和产生输出波形（输出比较，PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、触发）的中断以及与其它定时器或外部信号（外部时钟、复位、触发和使能信号）同步。

TIM2 的 4 个独立的通道可以被分别用于：

- 输入捕获
- 输出比较
- PWM 生成（边沿或中央对齐模式）

- 单脉冲模式输出

TIM2 没有互补输出。如果配置为 16 位 PWM 生成器，TIM2 具有全调制能力（0 到 100%）。在调试模式下，计数器可以被冻结。TIM2 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

- TIM3

通用定时器 TIM3 是一个 16 位的定时器/计数器，由一个可编程的 16 位预分频器驱动，有四路不同的捕获/比较通道。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）和产生输出波形（输出比较，PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、触发）的中断以及与其它定时器或外部信号（外部时钟、复位、触发和使能信号）同步。

TIM3 的 4 个独立的通道可以被分别用于：

- 输入捕获
- 输出比较
- PWM生成（边沿或中央对齐模式）
- 单脉冲模式输出

TIM3 没有互补输出。如果配置为 16 位 PWM 生成器，TIM3 具有全调制能力（0 到 100%）。在调试模式下，计数器可以被冻结。TIM3 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

- TIM14

通用定时器 TIM14 是一个 16 位的定时器/计数器，由一个可编程的 16 位预分频器驱动，有一路捕获/比较通道。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）和产生输出波形（输出比较和 PWM），对应于不同事件（捕获、比较和溢出）的中断。

TIM14 的 1 个独立的通道可以被分别用于：

- 输入捕获
- 输出比较
- PWM生成（边沿模式）

TIM14 没有互补输出，也没有 DMA 功能。在调试模式下，计数器可以被冻结。TIM14 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

- TIM15、TIM16、TIM17

通用定时器 TIM15/16/17 是 16 位的定时器/计数器，由一个可编程的 16 位预分频器驱动。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）和产生输出波形（输出比较，PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、刹车、触发）的中断以及与其它定时器或外部信号（外部时钟、复位、触发和使能信号）同步。

TIM15/16/17 是完全独立的，不共享任何资源。TIM15/16/17 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

TIM15 支持互补的 PWM 输出，能插入可编程的死区时间。TIM15 的 2 个独立的通道可以被分别用于：

- 输入捕获
- 输出比较
- PWM生成（边沿或中央对齐模式）
- 单脉冲模式输出

如果配置为 16 位 PWM 生成器，TIM15 具有全调制能力（0 到 100%）。在调试模式下，计数器可以被冻结。TIM15 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

TIM16/17 支持互补的 PWM 输出，能插入可编程的死区时间。TIM16/17 的 1 个独立的通道可以被用于：

- 输入捕获
- 输出比较
- PWM生成（边沿或中央对齐模式）
- 单脉冲模式输出

如果配置为 16 位 PWM 生成器，TIM16/17 具有全调制能力（0 到 100%）。在调试模式下，计数器可以被冻结。TIM16/17 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。TIM16 和 TIM17 的 OC1 输出可以产生 IR_OUT 信号并从 I/O 输出，用来模拟红外发射功能。

1.16.3 独立看门狗（IWDG）

独立看门狗 IWDG 基于一个 12 位的递减计数器和一个 8 位的预分频器，包含一个用户定义的刷新窗口。它由内部独立的 RCL 提供时钟，可以工作在低功耗模式下。它可以被当成看门狗在发生问题时复位整个系统，或者作为一个自由运行的定时器为应用程序提供超时管理。通过选项字节可以配置成软件或硬件启动 IWDG，一旦启动后就不能停止。在调试模式下，计数器可以被冻结。

1.16.4 系统时基定时器（SysTick）

系统时基定时器专用于实时操作系统，但也可用作一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重载功能
- 当计数器计为 0 时，能产生一个可屏蔽的系统中断
- 可编程时钟源（HCLK 或者 HCLK/8）

1.16.5 时钟测量和校准

可以通过 TIM14 的输入通道 TI1 进行各个时钟源的在线测量和校准。

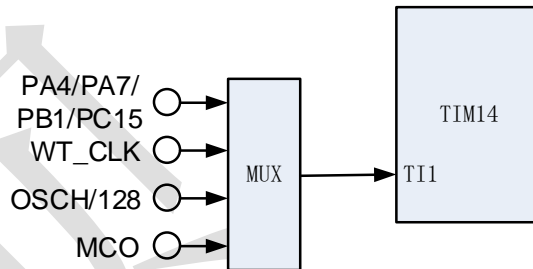


图 1-8 时钟测量和校准

1.16.6 定时器间的互联

定时器之间可以通过联动机制共同工作，提供同步或事件联接功能。具体如下表所示。

表 1-3 定时器之间的互联

	ITR0	ITR1	ITR2	ITR3
TIM1	TIM15_TRGO	TIM16_trig_oc1	TIM2_TRGO	TIM17_trig_oc1
TIM2	TIM1_TRGO	TIM17_trig_oc1	TIM15_TRGO	TIM14_trig_oc1
TIM3	TIM1_TRGO	TIM17_trig_oc1	TIM15_TRGO	TIM14_trig_oc1
TIM15	TIM1_TRGO	TIM3_TRGO	TIM16_trig_oc1	TIM17_trig_oc1

注：TIMx_trig_oci 是 oc 输出是否受到刹车影响后的信号。

1.17 钟表定时器 (WT)

WT 在超低功耗停机模式时, 由常开 LDO 供电; 在其他模式下由内核 LDO 供电。只有配置 WT 时钟并使能 WT 时钟后, 用户才能正常访问 WT。WT 可以被软件复位。WT 主要用于产生实时中断, 同时还作为蜂鸣器输出, 主要特性如下:

- WT时钟源5种可选: OSCL、OSCH/128、RCL、RCH或OSCH分频产生的32KHz时钟
- 8位定时器时钟源有4个(32KHz时钟下): 4096Hz、64Hz、1Hz、1/60Hz
- 可产生8位定时器溢出中断
- 为可输出0.5S中断
- 可输出八种BUZ信号频率(32KHz时钟下): 高频四种8192Hz、4096Hz、2048Hz、1024Hz, 低频四种2Hz、1Hz、0.5Hz、0.25Hz, 并可输出对应的反向nBUZ信号

WT 的驱动时钟源如下(工作过程中不能切换时钟源):

- 32.768KHz 的外部晶体振荡器(OSCL)
- 内部 RC 振荡器, 典型频率为 24KHz(RCL)
- 高速外部时钟 OSCH 的 128 分频
- RCH或OSCH分频产生的32KHz时钟

1.18 I2C 接口

LCM32A039 内置了 1 个 I2C 接口, 主要包含如下特性:

- 能够工作于多主机模式或从机模式
- 支持标准模式(最高 100Kbps)、快速模式(最高 400Kbps)和超快速模式(最高 1Mbps)
- 支持 7 位或 10 位寻址模式, 7 位从模式时支持双从地址寻址
- 独立的工作时钟, 高达 72MHz
- 带有 8Bytes 的发送和接收 FIFO, 支持 DMA 操作
- 可编程的 SDA 保持时间

1.19 UART/LIN 接口

LCM32A039 内置了 3 个 UART/LIN 接口(UART0、UART1 和 UART3), 主要包含如下特性:

- 独立的工作时钟, 最高可达 72MHz
- 精确的波特率生成, 最高可达 6Mbps
- 带有 8Bytes 的发送和接收 FIFO, 支持 DMA 操作
- UART3 支持 IrDA SIR ENDEC 红外功能
- UART0 和 UART1 支持 CTS/RTS 硬件流控
- 三个 UART 均硬件支持 LIN 协议的通讯接收和发送
- 支持控制输入、输出的极性反转

1.20 SSP 接口

LCM32A039 内置 2 个 SSP 接口(SSP0、SSP2), 主要包含如下特性:

- 支持主机和从机模式
- 支持 Motorola SPI、TI SSI、National Semiconductor Microwire 三种接口协议
- 帧长度 4 到 16 位可配
- 独立的工作时钟, 高达 72MHz
- 可编程的预分频系数和传输比特率

- 在主机模式时，最高通信速率可达 32Mbps；在从机模式时，最高通信速率可达 8Mbps
- 支持内部回环测试模式
- 独立的 8x16bit 发送和接收 FIFO
- 支持 DMA 操作

1.21 循环冗余校验（CRC）

CRC（循环冗余校验）计算单元使用一个可配置的多项式发生器，从一个 8 位/16 位/32 位的数据字产生一个 CRC 码。

在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

1.22 除法器（DIV）

DIV64 支持 64/32 的有符号操作，32 个周期完成；向下支持 32/32 的有符号除法。将数据写入除数寄存器 DIV_B 后开始计算，待 32 个周期后读取计算结果。

DIV32 支持 32/16 的有符号操作，8 个周期完成；向下支持 16/16 的有符号除法。将数据写入除数寄存器 DIV_B 后开始计算，待 8 个周期后读取计算结果。

1.23 串行线调试口（SW-DP）

内置的 ARM SW-DP 调试口可以实现串行线调试工具连接到目标设备，仅使用 2 个 I/O（SWDIO 和 SWCLK）执行调试，和一组 GPIO 功能复用。

1.24 液晶显示驱动模块（LCD）

LCD 模块具有如下特征：

- 最大支持 4*34，5*33，6*32 的 LCD 驱动。
- 支持电阻型 LCD。
- 电阻型驱动显示对比度 8 级可调。
- 电阻型驱动支持低功耗和高显示模式选择，并且低功耗模式支持两档电阻可选。
- 电阻型驱动支持快速充电模式，并且充电时间可选。
- 内置基准电容型内置基准可固定输出 1V 的电压，并可编程选择输出 8 档电压。
- 偏置电路支持 1/2BIAS 或 1/3BIAS。
- 上电后，LCD 默认关闭，使能后工作。
- 低功耗模式下，LCD 也可工作。

2. 引脚排列和引脚说明

LQFP48



图 2-1 LCM32A039C8T8 引脚排布
(具体引脚功能定义参见表 2-2)

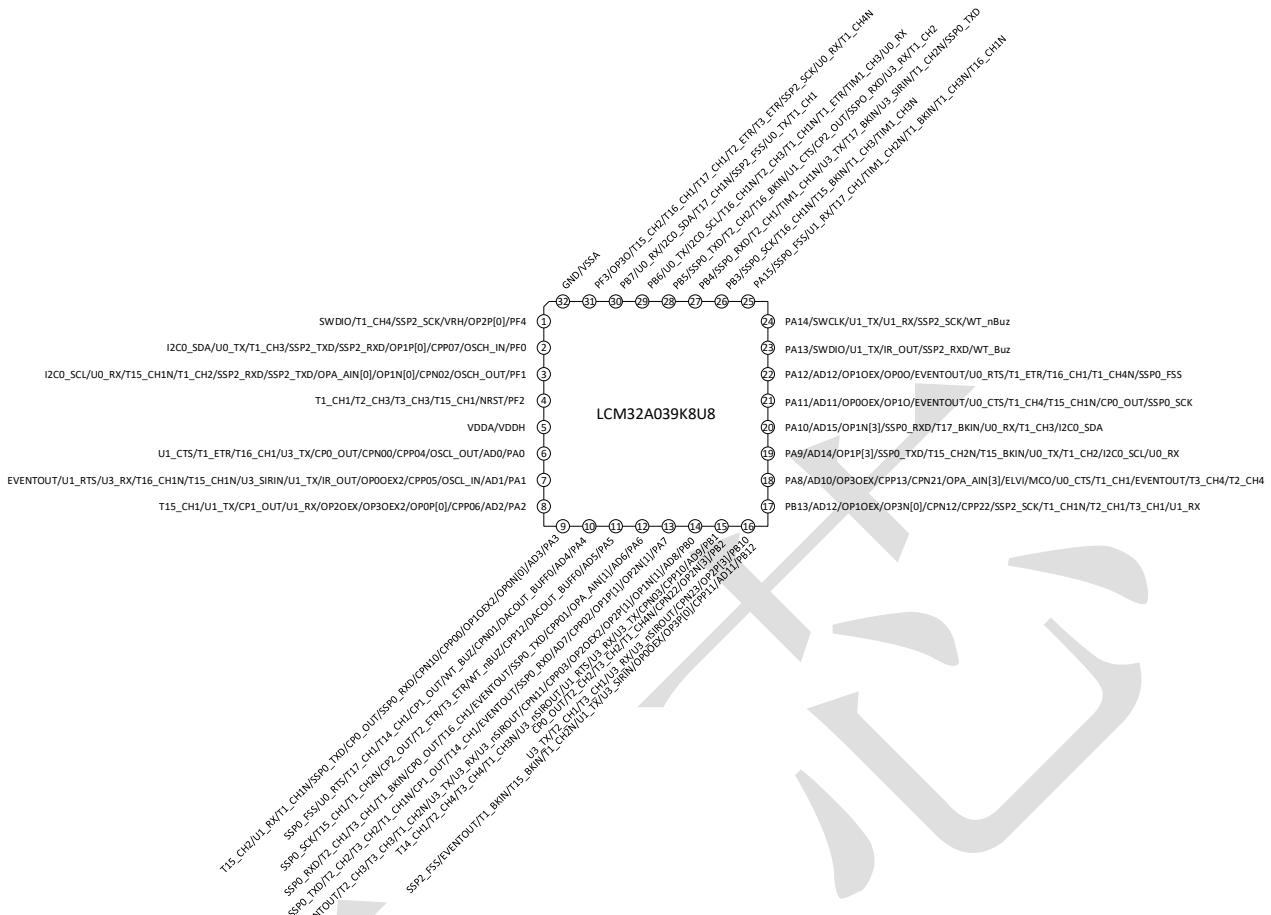


图 2-2 LCM32A039K8U8 引脚排布
(具体引脚功能定义参见表 2-2)

表 2-1 引脚排列表中使用的图例/缩略语

名称	缩写	定义
引脚名称		除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同
引脚类型	S	电源引脚
	I	仅输入引脚
	I/O	输入/输出引脚
I/O结构	1ANA	只包含一路复用模拟通道
	2ANA	包含两路复用模拟通道，两路普通模拟开关（PAD经过ESD电阻后接到模拟开关）
	2OP	包含两路复用模拟通道，两路低内阻模拟开关（PAD直接接到模拟开关，用于运放）
	ANA_OP	包含两路复用模拟通道，一路普通模拟开关和一路低内阻模拟开关
注释		除非特别注释说明，否则在复位期间和复位后所有 I/O 都设为浮空输入
引脚功能	可选复用功能	通过 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的功能（数字复用）
	外部复用功能	通过系统寄存器选择的功能，优先级高于可选复用功能（数字复用）
	模拟复用功能1	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 1
	模拟复用功能2	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 2

表 2-2 LCM32A039 引脚定义

引脚号		引脚名 (复位后的功能)	引脚类型	I/O 结构	引脚功能				
LQFP 48	QFN32				可选复用功能	外部复用功能	模拟复用 AN1	模拟复用 AN2	LCD 输出
1	1	PF4	I/O	ANA_OP	TIM1_CH4 SSP2_SCK	SWDIO	VRH	OP2P[0] ¹	SEG29
2		PF5	I/O	ANA_OP	TIM1_CH5 SSP2_FSS UART3_RX	SWCLK		OP2N[0]	SEG30
3		PC12	I/O	ANA_OP	UART3_RX CP0_OUT TIM1_CH4		ADCIN[14]	OP2O	SEG31
4		PC13	I/O	1ANA	TIM1_BKIN TIM2_BKIN TIM3_BKIN		ADCIN[15]		
5	2	PF0	I/O	2OP	I2C0_SDA UART0_TX TIM1_CH3 SSP2_TXD SSP2_RXD		OP1P[0] CPP07	OSCH_IN	
6	3	PF1	I/O	2OP	I2C0_SCL UART0_RX TIM15_CH1N TIM1_CH2 SSP2_RXD		OPA_AIN[0] OP1N[0] CPN02	OSCH_OUT	

					SSP2_TXD				
7	4	PF2(nRST)	I/O	1ANA	TIM1_CH1 TIM2_CH3 TIM3_CH3 TIM15_CH1	nRST ²			
8	32	VSS/VSSA	S						
9	5	VDDA	S						
		VDDH	S						
10	6	PA0	I/O	ANA_OP	UART1_CTS TIM1_ETR TIM16_CH1 UART3_RX CP0_OUT		ADCIN[0] CPN00 CPP04	OSCL_OUT	
11	7	PA1	I/O	ANA_OP	EVENTOUT UART1_RTS UART3_RX TIM16_CH1N TIM15_CH1N UART3_SIRIN UART1_TX IR_OUT		ADCIN[1] OPO0EX2 CPP05	OSCL_IN	
12	8	PA2	I/O	ANA_OP	TIM15_CH1 UART1_TX CP1_OUT UART1_RX		OP2OEX ADCIN[2] OP3OEX2	OPOP[0] CPP06	
13	9	PA3	I/O	ANA_OP	TIM15_CH2 UART1_RX TIM1_CH1N SSP0_TXD CP0_OUT SSP0_RXD		ADCIN[3] CPN10 CPP00 OP1OEX2	OPON[0]	
14	10	PA4	I/O	ANA_OP	SSP0_FSS UART0_RTS TIM17_CH1 TIM14_CH1 CP1_OUT WT_BUZ		ADCIN[4] CPN01	DACOUT_BUFF 0	COM0
15	11	PA5	I/O	ANA_OP	SSP0_SCK TIM15_CH1 TIM1_CH2N CP2_OUT TIM2_ETR TIM3_ETR		ADCIN[5] CPP12	DACOUT_BUFF 0	COM1

					WT_nBUZ				
16	12	PA6	I/O	ANA_OP	SSP0_RXD TIM2_CH1 TIM3_CH1 TIM1_BKIN CP0_OUT TIM16_CH1 EVENTOUT SSP0_TXD	ADCIN[6] CPP01	OPA_AIN[1] ADC_VBG	COM2	
17	13	PA7	I/O	ANA_OP	SSP0_TXD TIM2_CH2 TIM3_CH2 TIM1_CH1N CP1_OUT TIM14_CH1 EVENTOUT SSP0_RXD	ADCIN[7] CPP02	OP1P[1] OP2N[1]	COM3	
18	14	PB0	I/O	ANA_OP	EVENTOUT TIM2_CH3 TIM3_CH3 TIM1_CH2N UART3_TX UART3_RX UART3_nSIROUT	ADCIN[8] CPN11 CPP03 OP2OEX2	OP2P[1] OP1N[1]	COM4 SEG0	
19	15	PB1	I/O	2ANA	TIM14_CH1 TIM2_CH4 TIM3_CH4 TIM1_CH3N UART3_nSIROUT UART1_RTS UART3_RX UART3_TX	ADCIN[9] CPN03 CPP10		COM5 SEG1	
20	15	PB2	I/O	ANA_OP	CP2_OUT TIM2_CH2 TIM3_CH2 TIM1_CH4N	CPN22	OP2N[3]	SEG2	
21	16	PB10	I/O	ANA_OP	UART3_TX TIM2_CH1 TIM3_CH1 UART3_RX UART3_nSIROUT	CPN23	OP2P[3]	SEG3	

22		PB11	I/O	1ANA	EVENTOUT UART3_RX UART3_SIRIN TIM17_CH1				SEG4
23		PF8	I/O	ANA_OP	TIM1_CH4N TIM15_CH1 UART0_TX			OP0P[1]	SEG5
24		NC							
25	16	PB12	I/O	ANA_OP	SSP2_FSS EVENTOUT TIM1_BKIN TIM15_BKIN TIM1_CH2N UART1_TX UART3_SIRIN		ADCIN[11] OP0OEX (PA11_YA1)	OP3P[0] CPP11	SEG7
26	17	PB13	I/O	ANA_OP	SSP2_SCK TIM1_CH1N TIM2_CH1 TIM3_CH1 UART1_RX		ADCIN[12] OP1OEX (PA12_YA1)	OP3N[0] CPN12 CPP22	SEG8
27		PB14	I/O	2ANA	SSP2_RXD TIM15_CH1 TIM2_CH2 TIM3_CH2 UART1_TX SSP2_TXD		CPP21		SEG9
28		PB15	I/O	2ANA	SSP2_TXD TIM15_CH2 TIM15_CH1N TIM2_CH3 TIM3_CH3 UART1_RX SSP2_RXD		CPP20		SEG10
29	18	PA8	I/O	ANA_OP	MCO UART0_CTS TIM1_CH1 EVENTOUT TIM3_CH4 TIM2_CH4		ELVI	ADCIN[10] OP3OEX CPP13 CPN21 OPA_AIN[3]	SEG11
30	19	PA9	I/O	ANA_OP	SSP0_TXD TIM15_CH2N TIM15_BKIN UART0_TX TIM1_CH2		ADCIN[14] (PC12_YA1)	OP1P[3]	SEG12

					I2CO_SCL UART0_RX				
31	20	PA10	I/O	ANA_OP	SSP0_RXD TIM17_BKIN UART0_RX TIM1_CH3 I2CO_SDA		ADCIN[15] ⁸ (PC13_YA1)	OP1N[3]	SEG13
32	21	PA11	I/O	ANA_OP	EVENTOUT UART0_CTS TIM1_CH4 TIM15_CH1N CPO_OUT SSP0_SCK		ADCIN[11] OP0OEX (PB12_YA1)	OP1O	SEG14
33	22	PA12	I/O	ANA_OP	EVENTOUT UART0_RTS TIM1_ETR TIM16_CH1 TIM1_CH4N SSP0_FSS		ADCIN[12] OP1OEX (PB13_YA1)	OP0O	SEG15
34		PF6	I/O	ANA_OP	UART1_TX UART0_TX I2CO_SCL TIM1_BKIN			OP0N[3]	SEG16
35		PF7	I/O	ANA_OP	I2CO_SDA UART0_RX UART1_RX TIM1_CH5			OP0P[3]	SEG17
36		PC14	I/O	ANA_OP	TIM17_CH1 SSP2_FSS		CPP23 DACOUT_0	OSCL_IN	SEG18
37		PC15	I/O	ANA_OP	TIM14_CH1 TIM17_CH1N SSP2_TXD		CPN13	OSCL_OUT	SEG19
38	23	PA13	I/O	1ANA	SWDIO UART1_TX IR_OUT SSP2_RXD WT_Buz	SWDIO ³			SEG20
39	24	PA14	I/O	1ANA	SWCLK UART1_TX UART1_RX SSP2_SCK WT_nBuz	SWCLK ³			SEG21

40	25	PA15	I/O	1ANA	SSPO_FSS UART1_RX TIM17_CH1 TIM1_CH2N TIM1_BKIN TIM1_CH3N TIM16_CH1N				SEG22
41	26	PB3	I/O	1ANA	SSPO_SCK TIM16_CH1N TIM15_BKIN TIM1_CH3 TIM1_CH3N				SEG23
42	27	PB4	I/O	1ANA	SSPO_RXD TIM2_CH1 TIM1_CH1N UART3_TX TIM17_BKIN UART3_SIRIN TIM1_CH2N SSPO_TXD				SEG24
43	28	PB5	I/O	2ANA	SSPO_TXD TIM2_CH2 TIM16_BKIN UART1_CTS CP2_OUT SSPO_RXD UART3_RX TIM1_CH2	VBG ⁴	ADCIN[13]		SEG25
44	29	PB6	I/O	1ANA	UART0_TX I2CO_SCL TIM16_CH1N TIM2_CH3 TIM1_CH1N TIM1_ETR TIM1_CH3 UART0_RX				SEG26
45	30	PB7	I/O	1ANA	UART0_RX I2CO_SDA TIM17_CH1N SSP2_FSS UART0_TX TIM1_CH1				SEG27
46	31	PF3	I/O	ANA_OP	TIM15_CH2 TIM16_CH1	BOOT0 ⁵		OP30	SEG28

					TIM17_CH1 TIM2_ETR TIM3_ETR SSP2_SCK UART0_RX TIM1_CH4N			
47		PB8	I/O	ANA_OP	I2C0_SCL TIM16_CH1 TIM1_CH4 SSP2_TXD		OP3N[1]	SEG32
48		PB9	I/O	ANA_OP	IR_OUT I2C0_SDA TIM17_CH1 EVENTOUT SSP2_RXD		OP3P[1]	SEG33

注1: ACMP 与 OPA 输入引脚格式。ACMP: CP 序号 + 引脚正负端 + 输入端口; OPA: OP 序号 + 引脚正负端 + 输入端口。例如: CPP11 表示 ACMP1 正端输入 端口 1; OP2N[3] 表示 OPA2 负端输入 端口 3。

注2: 上电复位后, 这个引脚缺省配置为外部复位引脚 nRST。

注3: 系统复位后, 这些引脚配置为可选复用功能SWDIO和SWCLK, SWDIO 引脚内部上拉, SWCLK 引脚内部下拉。

注4: VBG经过BUFFER后输出电压。

注5: 根据选项字节配置, 在系统复位期间可以作为BOOT0引脚, 以选择启动模式; 后续为正常功能。

注6: I/O驱动强度分为两档, 3.3V供电时为4mA/8mA; 5V供电时为8mA/16mA。

注7: 使用PC13作为AD15输入时, 请关闭PA10的模拟1通道; 使用PA10作为AD15输入时, 请保持PC13输入悬空。

表 2-3 端口 ABCF 可选复用功能映射

端口 A 的功能映射								
引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	UART1_CTS	TIM1_ETR	TIM16_CH1	-	UART3_RX	CP0_OUT	-
PA1	EVENTOUT	UART1_RTS	TIM16_CH1N	UART3_RX	UART1_TX	TIM15_CH1N	UART3_SIRIN	IR_OUT
PA2	TIM15_CH1	UART1_TX	-	-	-	-	CP1_OUT	UART1_RX
PA3	TIM15_CH2	UART1_RX	-	-	TIM1_CH1N	SSP0_TXD	CP0_OUT	SSP0_RXD
PA4	SSP0_FSS	UART0_RTS	-	TIM17_CH1	TIM14_CH1	WT_BUZ	CP1_OUT	-
PA5	SSP0_SCK	-	TIM3_ETR	TIM15_CH1	TIM1_CH2N	WT_nBuz	CP2_OUT	TIM2_ETR
PA6	SSP0_RXD	TIM2_CH1	TIM1_BKIN	CP0_OUT	TIM3_CH1	TIM16_CH1	EVENTOUT	SSP0_TXD
PA7	SSP0_TXD	TIM2_CH2	TIM1_CH1N	CP1_OUT	TIM14_CH1	TIM3_CH2	EVENTOUT	SSP0_RXD
PA8	MCO	UART0_CTS	TIM1_CH1	EVENTOUT	-	-	TIM3_CH4	TIM2_CH4
PA9	TIM15_CH2N	TIM15_BKIN	UART0_TX	TIM1_CH2	I2C0_SCL	-	SSP0_TXD	UART0_RX
PA10	-	TIM17_BKIN	UART0_RX	TIM1_CH3	I2C0_SDA	SSP0_RXD	-	-
PA11	EVENTOUT	UART0_CTS	TIM1_CH4	TIM15_CH1N	-	SSP0_SCK	CP0_OUT	-
PA12	EVENTOUT	UART0_RTS	TIM1_ETR	TIM16_CH1	-	TIM1_CH4N	SSP0_FSS	-
PA13	SWDIO	IR_OUT	-	-	UART1_TX	WT_Buz	-	SSP2_RXD
PA14	SWCLK	UART1_TX	-	-	SSP2_SCK	WT_nBuz	-	UART1_RX
PA15	SSP0_FSS	UART1_RX	TIM17_CH1	TIM1_CH2N	-	TIM16_CH1N	TIM1_BKIN	TIM1_CH3N

端口 B 的功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	EVENTOUT	TIM2_CH3	TIM1_CH2N	UART3_TX	TIM3_CH3	UART3_RX	-	UART3_nSIRO UT
PB1	TIM14_CH1	TIM2_CH4	TIM1_CH3N	UART3_nSIRO UT	UART1_RTS	UART3_RX	TIM3_CH4	UART3_TX
PB2	-	-	-	CP2_OUT	TIM2_CH2	TIM1_CH4N	TIM3_CH2	-
PB3	SSP0_SCK	-	-	-	TIM1_CH3	TIM16_CH1N	TIM1_CH3N	TIM15_BKIN
PB4	SSP0_RXD	TIM2_CH1	TIM1_CH1N	UART3_TX	TIM1_CH2N	TIM17_BKIN	UART3_SIRIN	SSP0_TXD
PB5	SSP0_TXD	TIM2_CH2	TIM16_BKIN	TIM1_CH2	UART3_RX	UART1_CTS	CP2_OUT	SSP0_RXD
PB6	UART0_TX	I2C0_SCL	TIM16_CH1N	TIM1_CH3	TIM1_ETR2	TIM2_CH3	TIM1_CH1N	UART0_RX
PB7	UART0_RX	I2C0_SDA	TIM17_CH1N	-	UART0_TX	TIM1_CH1	-	SSP2_FSS
PB8	-	I2C0_SCL	TIM16_CH1	TIM1_CH4	SSP2_TXD	-	-	-
PB9	IR_OUT	I2C0_SDA	TIM17_CH1	EVENTOUT	SSP2_RXD	-	-	-
PB10	-	UART3_TX	TIM2_CH1	UART3_RX	UART3_nSIR OUT	TIM3_CH1	-	-
PB11	EVENTOUT	-	TIM17_CH1	-	UART3_RX	-	-	UART3_SIRIN
PB12	SSP2_FSS	EVENTOUT	TIM1_BKIN	TIM1_CH2N	-	TIM15_BKIN	UART1_TX	UART3_SIRIN
PB13	SSP2_SCK	TIM2_CH1	TIM1_CH1N	UART1_RX	TIM3_CH1	-	-	-
PB14	SSP2_RXD	TIM15_CH1	-	TIM2_CH2	TIM3_CH2	-	UART1_TX	SSP2_TXD
PB15	SSP2_TXD	TIM15_CH2	-	TIM15_CH1N	TIM2_CH3	TIM3_CH3	UART1_RX	SSP2_RXD

端口 C 的功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC12	UART3_RX	CP0_OUT	TIM1_CH4	-	-	-	-	-
PC13	-	TIM1_BKIN	TIM2_BKIN	TIM3_BKIN	-	-	-	-
PC14	TIM17_CH1	-	-	-	-	-	-	SSP2_FSS
PC15	TIM14_CH1	TIM17_CH1N	-	-	-	-	-	SSP2_TXD

端口 F 的功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PF0	SSP2_TXD	I2C0_SDA	TIM1_CH3	-	UART0_TX	-	-	SSP2_RXD
PF1	SSP2_RXD	I2C0_SCL	TIM1_CH2	TIM15_CH1N	UART0_RX	-	-	SSP2_TXD
PF2	-	-	TIM1_CH1	TIM2_CH3	TIM15_CH1	-	TIM3_CH3	-
PF3	SSP2_SCK	TIM1_CH4N	UART0_RX	TIM3_ETR	TIM15_CH2	TIM16_CH1	TIM17_CH1	TIM2_ETR
PF4	SWDIO	-	-	-	TIM1_CH4	SSP2_SCK	-	-
PF5	SWCLK	SSP2_FSS	UART3_RX	TIM1_CH5	-	-	-	-
PF6	SSP0_RXD	-	TIM1_BKIN	UART0_TX	UART1_TX	-	-	I2C0_SCL
PF7	-	-	-	I2C0_SDA	UART1_RX	UART0_RX	TIM1_CH5	-
PF8	TIM1_CH4N	TIM15_CH1	UART0_TX	-	-	-	-	-

3. 存储器映射

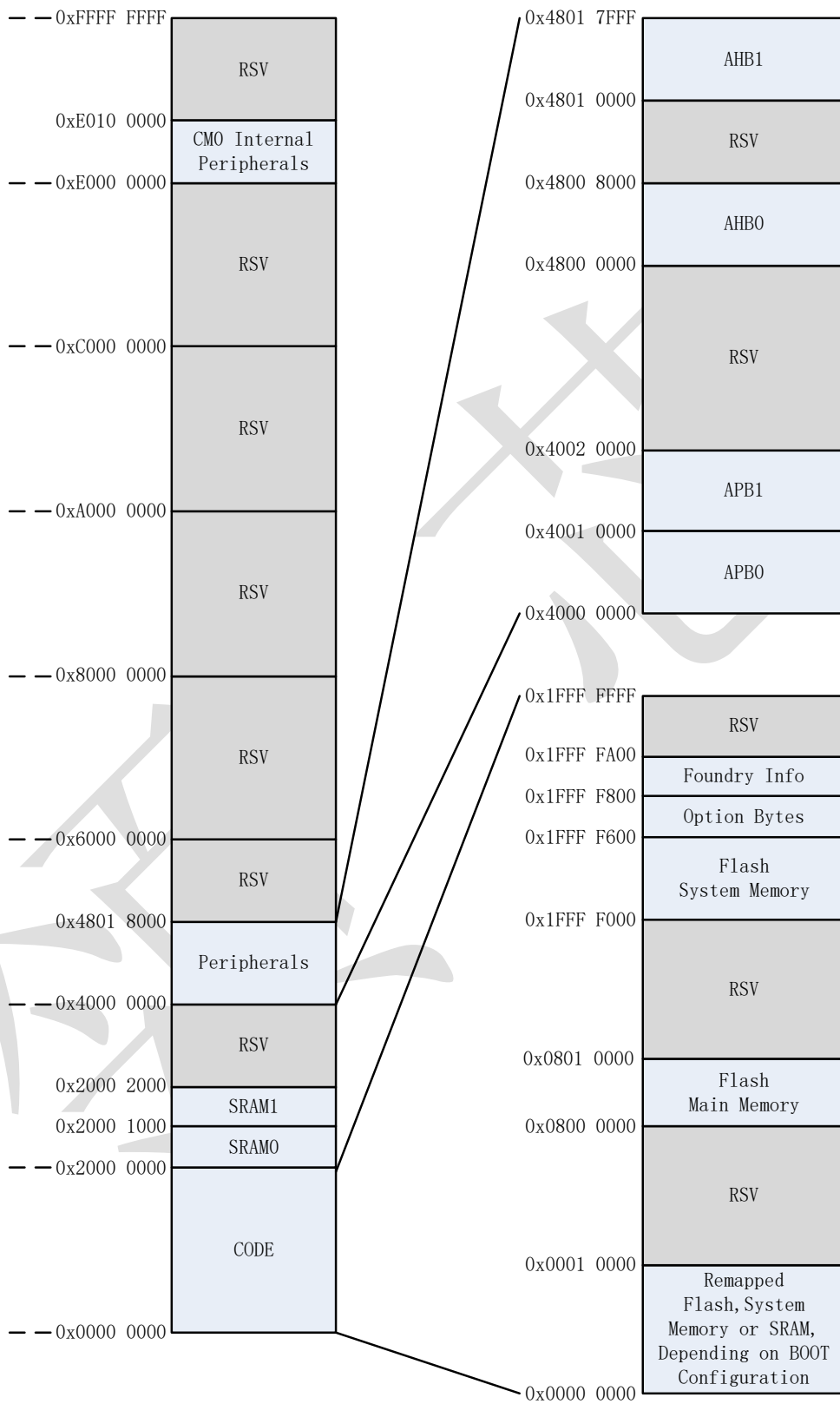


图 3-1 LCM32A039 存储器映射

表 3-1 LCM32A039 外设寄存器地址空间划分

总线	地址范围	大小	外设
APB0	0x4000 0000 - 0x4000 0FFF	4KB	UART3
	0x4000 1000 - 0x4000 1FFF	4KB	保留
	0x4000 2000 - 0x4000 2FFF	4KB	保留
	0x4000 3000 - 0x4000 3FFF	4KB	保留
	0x4000 4000 - 0x4000 4FFF	4KB	保留
	0x4000 5000 - 0x4000 5FFF	4KB	保留
	0x4000 6000 - 0x4000 6FFF	4KB	SSP2
	0x4000 7000 - 0x4000 7FFF	4KB	保留
	0x4000 8000 - 0x4000 8FFF	4KB	保留
	0x4000 9000 - 0x4000 9FFF	4KB	保留
	0x4000 A000 - 0x4000 AFFF	4KB	TIM14
	0x4000 B000 - 0x4000 BFFF	4KB	TIM3
	0x4000 C000 - 0x4000 CFFF	4KB	保留
	0x4000 D000 - 0x4000 DFFF	4KB	保留
	0x4000 E000 - 0x4000 EFFF	4KB	保留
	0x4000 F000 - 0x4000 FFFF	4KB	保留
APB1	0x4001 0000 - 0x4001 0FFF	4KB	TIM1
	0x4001 1000 - 0x4001 1FFF	4KB	EXTI
	0x4001 2000 - 0x4001 2FFF	4KB	保留
	0x4001 3000 - 0x4001 3FFF	4KB	I2C0
	0x4001 4000 - 0x4001 4FFF	4KB	UART0
	0x4001 5000 - 0x4001 5FFF	4KB	UART1
	0x4001 6000 - 0x4001 6FFF	4KB	保留
	0x4001 7000 - 0x4001 73FF	1KB	CHIPCTRL
	0x4001 7400 - 0x4001 77FF	1KB	IWDG
	0x4001 7800 - 0x4001 7BFF	1KB	WT
	0x4001 7C00 - 0x4001 7FFF	1KB	ANACTRL
	0x4001 8000 - 0x4001 8FFF	4KB	SSP0
	0x4001 9000 - 0x4001 9FFF	4KB	保留
	0x4001 A000 - 0x4001 AFFF	4KB	ADC
	0x4001 B000 - 0x4001 BFFF	4KB	TIM15
	0x4001 C000 - 0x4001 CFFF	4KB	TIM16
	0x4001 D000 - 0x4001 DFFF	4KB	FLASH CTRL
	0x4001 E000 - 0x4001 EFFF	4KB	TIM17
	0x4001 F000 - 0x4001 FFFF	4KB	TIM2
	0x4002 0000 - 0x47FF FFFF	~128MB	保留
AHB0	0x4800 0000 - 0x4800 01FF	512B	GPIOA
	0x4800 0200 - 0x4800 03FF	512B	GPIOB
	0x4800 0400 - 0x4800 05FF	512B	保留
	0x4800 0600 - 0x4800 07FF	512B	保留
	0x4800 0800 - 0x4800 09FF	512B	保留

	0x4800 0A00 - 0x4800 0BFF	512B	GPIOF
	0x4800 0C00 - 0x4800 0DFF	512B	保留
	0x4800 0E00 - 0x4800 0FFF	512B	保留
	0x4800 1000 - 0x4800 1FFF	4KB	保留
	0x4800 2000 - 0x4800 2FFF	4KB	保留
	0x4800 3000 - 0x4800 3FFF	4KB	保留
	0x4800 4000 - 0x4800 4FFF	4KB	DMA
	0x4800 5000 - 0x4800 5FFF	4KB	保留
	0x4800 6000 - 0x4800 6FFF	4KB	保留
	0x4800 7000 - 0x4800 7FFF	4KB	SYSCTRL
	0x4800 8000 - 0x4800 FFFF	32KB	保留
AHB1	0x4801 0000 - 0x4801 0FFF	4KB	保留
	0x4801 1000 - 0x4801 1FFF	4KB	CRC
	0x4801 2000 - 0x4801 2FFF	4KB	保留
	0x4801 3000 - 0x4801 3FFF	4KB	保留
	0x4801 4000 - 0x4801 4FFF	4KB	DIV64
	0x4801 5000 - 0x4801 5FFF	4KB	DIV32
	0x4801 6000 - 0x4801 6FFF	4KB	保留
	0x4801 7000 - 0x4801 7FFF	4KB	保留

4. 电气特性

4.1 绝对最大值

如果器件工作条件超过“绝对最大值”，就可能对器件造成永久性损坏。这些值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其可靠性会受到影响。

表 4-1 电压特性

参数	符号	测试条件	最小值	典型值	最大值	单位
电源电压	V_{DD}/V_{DDA}	-	-0.3	3.3/5	6.5	V
I/O 输入电压	V_{IN}	-	-0.3	3.3/5	5.8	V

注：所有电压都以 V_{SS} 为参考。

表 4-2 电流特性

参数	符号	测试条件	最小值	典型值	最大值	单位
流入 V_{DD} 的总电流	ΣI_{VDD}	-	-	-	120	mA
流出 V_{SS} 的总电流	ΣI_{VSS}	-	-	-	-120	
每个 V_{DD} 管脚的最大电流	$I_{VDD}(\text{pin})$	-	-	-	100	
每个 V_{SS} 管脚的最大电流	$I_{VSS}(\text{pin})$	-	-	-	-100	
管脚注入电流	I_{INJ}	$V_{IN} > V_{DD}$ 或 $V_{IN} < V_{SS}$	-10	10	20	
总注入电流	ΣI_{INJ}	-	-50	-	50	

表 4-3 热特性

参数	符号	测试条件	最小值	典型值	最大值	单位
环境温度	T_A	-	-40	-	125	°C
存储温度	T_{STG}	-	-65	25	150	
结温	T_J	-	-40	-	125	
耗散功率	P_D	$T_a = 25^\circ\text{C}$	-	500	-	mW

4.2 推荐工作条件

4.2.1 推荐工作条件

表 4-4 工作条件

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压 V_{DD}	V_{DD}	-	2.0	3.3/5	5.5	V
模拟工作电压 (ADC/DAC)	V_{DDA}	$\geq V_{DD}$	2.4	3.3/5	5.5	V
I/O 输入电压	V_{IN}	-	-0.3	-	5.5	V
CPU 时钟频率	f_{CPU}	-	-	-	72	MHz
AHB 时钟频率	f_{AHB}	-	-	-	f_{CPU}	MHz

APB 时钟频率	f_{APB}	-	-	-	f_{CPU}	MHz
V_{DD}/V_{DDA} 上升速率	t_{VRISE}	-	0	-	∞	us/V
V_{DD}/V_{DDA} 下降速率	t_{VFALL}	-	20	-	∞	us/V

4.2.2 系统复位及电压监控

表 4-5 系统监控与复位特性

参数	符号	测试条件	最小值	典型值	最大值	单位
带隙基准电压	V_{BG}	1.8~5.5V, -40~125°C	-	1.2	-	V
上电复位电压	V_{POR}	0V 上电到 V_{DD} , -40~125°C	1.79	1.83	1.87	V
掉电复位电压	V_{PDR}	V_{DD} 掉电到 0V, -40~125°C	1.70	1.73	1.77	V
复位延迟时间	$t_{RSTTEMPO}$	上电复位, RCL = 24KHz	-	2	-	ms
		外部复位	-	2	-	us
低压复位电压	V_{LVR}	LVRS=000	-	1.6	-	V
		LVRS=001	-	1.8	2	
		LVRS=010	-	2	2.2	
		LVRS=011	-	2.5	2.7	
		LVRS=100	-	2.8	3	
		LVRS=101	-	3	3.2	
		LVRS=110	-	3.5	3.7	
		LVRS=111	-	4	4.2	
LVR 释放迟滞电压	$V_{HYS(LVR)}$	$V_{DDA} = 3.3V, T_A = 30^\circ C$	-	0.1	0.2	V
LVR 模块工作电流	I_{LVR}	$V_{DDA} = 3.3V, T_A = 30^\circ C$	-	15	-	uA
LVD 检测电压	V_{LVD}	LVLS= 000	-	2.0	2.2	V
		LVLS = 001	-	2.2	2.4	
		LVLS = 010	-	2.4	2.6	
		LVLS = 011	-	2.7	2.9	
		LVLS = 100	-	2.9	3.1	
		LVLS = 101	-	3.1	3.3	
		LVLS = 110	-	3.6	3.9	
		LVLS = 111	-	4.5	4.8	
LVD 释放迟滞电压	$V_{HYS(LVD)}$	$V_{DDA} = 3.3V, T_A = 30^\circ C$	-	0.1	-	V
LVD 模块工作电流	I_{LVD}	$V_{DDA} = 3.3V, T_A = 30^\circ C$	-	15	-	uA

4.2.3 内部参考电压

表 4-6 内部参考电压特性

参数	符号	测试条件	最小值	典型值	最大值	单位
内部参考电压	V_{REFINT}	$T_A = -40\sim 105^\circ C, VRH_SEL=0$	2.4	2.5	2.6	V
内部参考电压	V_{REFINT}	$T_A = -40\sim 105^\circ C, VRH_SEL=1$	3.9	4	4.1	V
内部参考电压建立时间	t_{START}	-	1.4	2	4.5	us

内部参考电压在温度范围内的分布	ΔV_{REFINT}	$V_{DDA}=3.3V, T=-40\sim 100^{\circ}C,$ $VRH_SEL=0$	-	4	-	mV
		$V_{DDA}=5V, T=-40\sim 100^{\circ}C,$ $VRH_SEL=0$	-	7	-	mV
温度系数	T_{coeff}	$V_{DDA} = 3.3V, T_A = 30^{\circ}C$	-	12		ppm/ $^{\circ}C$

4.2.4 电流特性

本芯片典型工作电压 3.3V/5.0V，除非特别指明，否则典型值是在 $T_A=25^{\circ}C$ 条件的测试结果。直流电气特性还在不断完善中。

表 4-7 工作电流特性

参数	符号	外设状态	运行条件	最小值	典型值 3.3V	典型值 5V	最大值	单位
工作电流	I_{RUN}	禁止	MCLK=8MHz, RCH/2	-	1.25	1.32	-	mA
			MCLK=16MHz, RCH	-	1.92	1.99	-	
			MCLK=24MHz, RCH+PLL ON	-	3.98	4.45	-	
			MCLK=48MHz, RCH+PLL ON	-	5.69	6.16	-	
			MCLK=72MHz, RCH+PLL ON	-	11.43	11.92	-	
		全部打开, ADC 采样开	MCLK=8MHz, RCH/2	-	5.54	6.83	-	
			MCLK=16MHz, RCH	-	7.53	8.86	-	
			MCLK=24MHz, RCH+PLL ON	-	11.4	13.19	-	
			MCLK=48MHz, RCH+PLL ON	-	18.05	19.37	-	
			MCLK=72MHz, RCH+PLL ON	-	24.51	26.46	-	
休眠电流	I_{SLEEP}	关闭	MCLK=8MHz, RCH/2	-	0.98	1.04	-	mA
			MCLK=16MHz, RCH	-	1.37	1.43	-	
			MCLK=24MHz, RCH+PLL ON	-	2.81	3.28	-	
			MCLK=48MHz, RCH+PLL ON	-	4.07	4.53	-	
			MCLK=72MHz, RCH+PLL ON	-	5.72	6.2	-	
		全部打开, ADC 采样开	MCLK=8MHz, RCH/2	-	5.12	6.34	-	
			MCLK=16MHz, RCH	-	6.69	7.97	-	
			MCLK=24MHz, RCH+PLL ON	-	9.35	11.05	-	
			MCLK=48MHz, RCH+PLL ON	-	14.06	15.8	-	
			MCLK=72MHz, RCH+PLL ON	-	19.08	21.05	-	

注：测量电流特性时遵循下列条件：

*所有 IO 都设置成输出低电平，无负载。

*除非特别指明，所有模块只打开时钟，无负载工作。

表 4-8 低功耗电流

参数	符号	条件	供电电压	典型值	单位
停机电流（关闭 CPU 时钟以及所有外设时钟）	I_{STOP}	所有模块关闭	3.3V	63.13	uA
			5V	64.49	
		只有 LVR 开启	3.3V	75.82	
			5V	80.67	

		只有 WT 开启	3.3V	63.59				
			5V	65.13				
		只有 LCD 开启	3.3V	81.45				
参数	符号	条件	供电电压	LDO 电平选择 (VSEL[1:0])				单位
				1.5V	1.2V	1.1V	1.0V	
超级停机电流 (关闭所有高频时钟和 PLL, 切换到常开 LDO)	I _{ULTSTOP}	所有模块关闭	3.3V	2.28	2.15	2.11	2.04	uA
			5V	2.81	2.67	2.64	2.6	
		只有 WT 开启	3.3V	2.53	2.39	2.32	2.23	
			5V	3.21	3	2.9	2.8	
		只有 LCD 开启	3.3V	8.41	8.29	8.34	8.24	

4.2.5 退出低功耗时间

表 4-9 低功耗唤醒特性

参数	符号	最小值	典型值	最大值	单位
休眠唤醒时间	t _{SLEEP}	-	4.5	-	us
停机唤醒时间	t _{STOP}	-	20	-	
超级停机唤醒时间	t _{ULTSTOP}	-	35	-	

4.2.6 外部时钟特性

表 4-10 外部时钟特性

参数	符号	最小值	典型值	最大值	单位
OSCH 时钟频率	f _{OSCH_ext}	4	16	16	MHz
OSCH_IN 输入管脚高电平电压	V _{OSCHH}	-	0.7	-	V
OSCH_IN 输入管脚低电平电压	V _{OSCHL}	-	0	-	
OSCL 时钟频率	f _{OSCL_ext}	-	32.768	-	kHz
OSCL_IN 输入管脚高电平电压	V _{OSCLH}	-	0.7	-	V
OSCL_IN 输入管脚低电平电压	V _{OSCLL}	-	0	-	

表 4-11 外部晶振特性

参数	符号	测试条件	最小值	典型值	最大值	单位
OSCH 晶振频率	f _{OSCH}	-	4	16	16	MHz
OSCH 反馈电阻	RF	-	1000	-	-	kΩ
OSCH 电流	I _{OSCH}	V _{DDA} =3.3V, GAIN=000	-	163	-	uA
		V _{DDA} =5V, GAIN=000	-	206	-	
		V _{DDA} =3.3V, GAIN=100	-	606	-	
		V _{DDA} =5V, GAIN=100	-	710	-	
OSCH 启动时间	t _{SU(OSCH)}	V _{DDA} =3.3V, GAIN=000	-	1300	-	us
		V _{DDA} =5V, GAIN=000	-	850	-	
		V _{DDA} =3.3V, GAIN=100	-	160	-	

		$V_{DDA}=5V, GAIN=100$	-	180	-	
OSCL 电流	I_{OSCL}	$V_{DDA}=3.3V, GAIN=00$	0.53	0.61	1.05	uA
		$V_{DDA}=3.3V, GAIN=00$	0.86	0.93	1.38	
		$V_{DDA}=3.3V, GAIN=10$	-	1.32	-	
		$V_{DDA}=3.3V, GAIN=11$	-	1.7	-	
OSCL 启动时间	$t_{SU(OSCL)}$	V_{DDA} 稳定, $GAIN=00$	0.15	0.23	0.37	s
		V_{DDA} 稳定, $GAIN=01$	0.1	0.11	0.13	

4.2.7 内部时钟特性

表 4-12 内部时钟特性

参数	符号	测试条件	最小值	典型值	最大值	单位
RCH 频率	F_{RCH}	校准后	15.84	16	16.16	MHz
RCH TRIM	$TRIM_{RCH}$	$V_{DDA} = 3.3V, T_A = 30^{\circ}C$	-	1	-	%
RCH 占空比	$DuCy_{RCH}$	-	-	50	-	%
RCH 精度	ACC_{RCH}	全电压、全温度范围	-	1	-	%
RCH 启动时间	$t_{SU(RCH)}$	-	2.8	5	7.5	us
RCH 工作电流	I_{RCH}	-	105	134	240	uA
RCL 频率	F_{RCL}	$V_{DDA} = 5V$	-	21	-	kHz
		$V_{DDA} = 3.3V$	-	24	-	
RCL TRIM	$TRIM_{RCL}$	$V_{DDA} = 3.3V, T_A = 30^{\circ}C$	-	2	-	%
RCL 占空比	$DuCy_{RCL}$	-	40	-	60	%
RCL 精度	ACC_{RCL}	全电压、全温度范围	-	-	10	%
RCL 启动时间	$t_{SU(RCL)}$	$V_{DDA} = 3.3V, T_A = 30^{\circ}C$	33	146	280	us
RCL 工作电流	I_{RCL}	$V_{DDA} = 3.3V, T_A = 30^{\circ}C$	225	340	480	nA

4.2.8 PLL 特性

表 4-13 PLL 特性

参数	符号	最小值	典型值	最大值	单位
PLL 输入频率	f_{PLL_IN}	4	16	16	MHz
PLL 输入时钟占空比	$DuCy_{PLL}$	30	50	70	%
PLL 输出频率	f_{PLL_OUT}	30	72	144	MHz
PLL 锁定时间	t_{LOCK}	2.3	5.5	17	us
PLL 周期间抖动	$Jitter_{PLL}$	-	45	185	ps

4.2.9 Flash 存储特性

表 4-14 Flash 存储特性

参数	符号	测试条件	最小值	典型值	最大值	单位
16-bit 编程时间	t_{prog}	$T_A = -40^{\circ}C \sim 125^{\circ}C$	12	-	15	us
Page 擦除时间	t_{ERASE}	$T_A = -40^{\circ}C \sim 125^{\circ}C$	4	-	5	ms

全擦除时间	t_{ME}	$T_A = -40\sim 125^\circ\text{C}$	20	-	40	ms
编程时电流	I_{prog}	$T_A = -40\sim 125^\circ\text{C}$	-	-	3.5	mA
擦除时电流	I_{ERASE}	$T_A = -40\sim 125^\circ\text{C}$	-	-	2	mA
耐久度	N_{END}	$T_A = -40\sim 125^\circ\text{C}$	20000	-	-	Cycles
数据保持能力	t_{RET}	$T_A = 25^\circ\text{C}$	100	-	-	Years
		$T_A = 85^\circ\text{C}$	25	-	-	
		$T_A = 125^\circ\text{C}$	10	-	-	

4.2.10 ESD 特性

表 4-15 ESD 保护和 Latch-up 免疫特性

参数	符号	测试条件	等级	最大值	单位
HBM	V_{HBM}	ANSI/ESDA/JEDEC JS-001-2017	3A	± 6000	V
MM	V_{MM}	-	TBD	TBD	
Latch-up 触发电流	I_{LAT}	JEDEC STANDARD NO.78F NOVEMBER	I B	+200/-50	mA
V_{DD} 过压	V_{LAT}	2016		+7	V

4.2.11 I/O 管脚特性

表 4-16 I/O 特性

参数	符号	测试条件	最小值	典型值	最大值	单位	
高电平输入电压	V_{IH}	$V_{DDH} = 5V$	$0.7 \cdot V_{DDH}$	1.8	-	V	
		$V_{DDH} = 3.3V$	2.0	1.3	-		
低电平输入电压	V_{IL}	$V_{DDH} = 5V$	-	1.25-	$0.3 \cdot V_{DDH}$	V	
		$V_{DDH} = 3.3V$	-	0.95	0.8		
输入迟滞	V_{HYS}	$V_{DDH} = 5V$ 或 $V_{DDH} = 3.3V$	$0.1 \cdot V_{DDH}$	-	-	V	
输出管脚拉电流	I_{OH}	$V_{DD} = 3.3V,$ $V_{OH} = 0.7 \cdot V_{DD}$	弱驱动 (DS=0)	-	14	-	mA
			强驱动 (DS=1)	-	25	-	mA
		$V_{DD} = 5V,$ $V_{OH} = 0.7 \cdot V_{DD}$	弱驱动 (DS=0)	-	28	-	mA
			强驱动 (DS=1)	-	50	-	mA
输出管脚灌电流	I_{OL}	$V_{DD} = 3.3V,$ $V_{OL} = 0.4V$	弱驱动 (DS=0)	-	10	-	mA
			强驱动 (DS=1)	-	19	-	mA
		$V_{DD} = 5V,$ $V_{OL} = 0.6V$	弱驱动 (DS=0)	-	21	-	mA
			强驱动 (DS=1)	-	38	-	mA
IO 输入	I_{IH}	$V_{DDH} = 5V$	-	-	1	μA	

高电平电流		$V_{DDH} = 3.3V$					
IO 输入 低电平电流	I_{IL}	$V_{DDH} = 5V$		-1	-	-	uA
		$V_{DDH} = 3.3V$					
IO 输出 高电平电压	V_{OH}	$V_{DDH} = 5V$	高驱动 $I_{min} = 16mA$ 低驱动 $I_{min} = 8mA$	$V_{DDH} - 0.8$	-	-	V
		$V_{DDH} = 3.3V$	高驱动 $I_{min} = 16mA$ 低驱动 $I_{min} = 8mA$	2.4	-	-	V
IO 输出 低电平电压	V_{OL}	$V_{DDH} = 5V$	高驱动 $I_{min} = 16mA$ 低驱动 $I_{min} = 8mA$	-	-	0.5	V
		$V_{DDH} = 3.3V$	高驱动 $I_{min} = 16mA$ 低驱动 $I_{min} = 8mA$	-	-	0.4	V
总电流（输出）	I_{total}	所有端口		-	100	-	mA
上拉电阻	R_{pu}	$V_{IN} = NULL$		20	53	100	kΩ
下拉电阻	R_{pd}	$V_{IN} = NULL$			33		
滤波宽度	$T_{PW(IO)}$	外部复位脚		-	2	-	us
I/O 管脚电容	C_{IO}	-		-	-	10	pF

4.2.12 ADC 特性参数

表 4-17 ADC 特性

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V_{DDA}	$V_{fs} = 5V$	4.5	5	5.5	V
		$V_{fs} = 3.3V$	2	3.3	5	
参考电压	V_{ref+}	$V_{DDA} > 2.5V$	2.5	-	V_{DDA}	V
		$V_{DDA} < 2.5V$	V_{DDA}			
工作电流	I_{ADC}	1MSPS (16MHz) ¹	-	3.6	-	mA
工作频率	f_{ADC}	-	-	24 ²	40	MHz
采样率	F_s	$V_{DDA} > 2.0V$, 精度 > 10bits	-	1.5	2	MSPS
采样电压范围	V_{AIN}	$V_{fs} = 5V$	0	-	5 或 V_{DDA}	V
		$V_{fs} = 3.3V$	0	-	3.3 或 V_{DDA}	
外部输入电阻	R_{AIN}	$T_s / (f_{adc} * C_{adc} * 9) - R_{adc}$	-	1	11	kΩ
采样切换电阻	R_{ADC}	-	-	500	-	kΩ
内部采样电容	C_{ADC}	-	-	1.2	-	pF
数据准备延迟	$W_{LATENCY}$	-	-	2	-	$1/f_{pclk}$
触发采样延迟	t_{latr}	$F_{pclk} = 2 * f_{ADC}$	-	2.5	-	$1/f_{ADC}$
采样时间	t_{samp}	-	1	6	-	$1/f_{ADC}$
转换时间	t_{conv}	-	-	13	-	$1/f_{ADC}$
上电时间 ¹	t_{STAB}	计算公式: $(ADJUST+1)*2*30+32$	92	212	572	$1/f_{ADC}$

注：1. 测试的 16MHz 频率为测试典型值，并非工作典型值。

2. 工作频率典型值为 24MHz，采样频率可达 1.5MSPS。

表 4-18 TS 特性

参数	符号	最小值	典型值	最大值	单位
V _{SENSE} 与温度的线性度	T _L	-	±3	-	°C
平均温敏精度	Avg_slope	-	6	-	mV/°C
ADC 读取温度的采样时间	t _{S_temp}	-	1	-	us
30°C (±5°C) 的电压	V ₃₀	-	1.6	-	V

表 4-19 ADC 精度

参数	符号	测试条件	典型值	最大值	单位
未调整的总误差	ET	-	+/-2	+/-4	LSB
偏移误差	EO	-	+/-1	+/-2	
增益误差	EG	-	+/-1	+/-2	
采样电压范围	ED	-	+/-0.8	+/-1	
外部输入电阻	EL	-	+/-1	+/-2	

4.2.13 OPA 特性参数

表 4-20 OPA 特性

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V _{DDA}	V _{DDA} = 1.8~5.5V, T _A = -40~100°C	1.8	3.3	5.5	V
共模输入范围	CMIR	V _{DDA} = 1.8~5.5V, T _A = -40~100°C	0.1	1.25	V _{DDA} -0.1	V
输入失调电压	V _{I_{OFFSET}}	未校准, T _A = -40~100°C	-5	-	5	mV
		校准后, T _A = -40~100°C	-1	0.8	1	mV
输入失调电压偏移	ΔV _{I_{OFFSET}}	-	-	1.4	-	uV/°C
驱动电流	I _{LOAD}	-	-	10	-	mA
消耗电流	I _{DD}	无负载	-	100	-	uA
共模抑制比	CMRR	V _{DDA} = 3.3V, T _A = 30°C, CL = 30pF -	-	90	-	dB
电源抑制比	PSRR	V _{DDA} = 3.3V, T _A = 30°C, CL = 30pF	-	85	-	dB
带宽	GBW	V _{DDA} =3.3V, T _A =30°C, CL=100pF, RL=1M	-	4.8	-	MHz
压摆率	SR	V _{DDA} =5V, T _A = 30°C, CL = 30pF	-	5	10	V/us
电阻负载	R _{LOAD}	-	0.1	-	-	kΩ
电容负载	C _{LOAD}	-	-	-	100	pF
高饱和电压	VOH _{SAT}	-	-	200	-	mV
低饱和电压	VOL _{SAT}	-	-	200	-	mV
相位裕度	φ _m	V _{DDA} =3.3V, T _A =30°C, CL=50pF	-	40	-	°
偏置校正时间: 校准时, 达到 1mv 的精度所需的最小时间	t _{OFFTRIM}	-	-	6.5	-	ms
从关闭状态启动的时间	t _{WAKEUP}	V _{DDA} = 3.3V, T _A = 30°C, CL = 30pF	-	1.1	-	us
		-	-	0.5	-	
输入偏置电流	I _{bias}	V _{DDA} = 1.8~5.5V, T _A = -40~100°C	-	-	50	uA

4.2.14 ACMP 特性参数

表 4-21 ACMP 特性

参数	符号	测试条件	最小值	典型值	最大值	单位	
工作电压	V_{DDA}	-	1.8	-	5	V	
输入失调电压 (CPP 上升沿)	V_{os}	-	-	-	10	mV	
输入共模电压	V_{cm}	响应时间<160ns	0.2	-	$V_{DDA}-0.2$	V	
比较器迟滞电压	V_{hyster}	HYS=0 为最小值; HYS=1 为最大值	0.4	-	23.4	mV	
转换延迟时间	T_{str}	CPDLY = 00, $V_{DDA} = 5V$	-	13.5	20	ns	
		CPDLY = 00, $V_{DDA} = 3.6V$	-	19	30		
		CPDLY = 00, $V_{DDA} = 2.5V$	-	30	40		
		CPDLY = 01, $V_{DDA} = 5V$	-	68	80		
		CPDLY = 01, $V_{DDA} = 3.6V$	-	94	110		
		CPDLY = 01, $V_{DDA} = 2.5V$	-	140	170		
		CPDLY = 10, $V_{DDA} = 5V$	-	760	810	us	
		CPDLY = 10, $V_{DDA} = 3.6V$	-	1	1.1		
		CPDLY = 10, $V_{DDA} = 2.5V$	-	1.4	1.55		
		CPDLY = 11, $V_{DDA} = 5V$	-	1.5	1.55		
		CPDLY = 11, $V_{DDA} = 3.6V$	-	1.98	2.1		
		CPDLY = 11, $V_{DDA} = 2.5V$	-	2.8	3		
响应时间	上升沿	T_{rt}	V_{DD} 做分压电阻基准	-	40	84	ns
	下降沿			-	60		
工作电流	I_{cmp}	$V_{DDA}=5V$, 一路 ACMP 工作	-	30	-	uA	
误差偏移系数	dV_{offset}/dT	-	-	3	-	$\mu V/^{\circ}C$	

4.2.15 DAC 特性参数

表 4-22 DAC 特性

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V_{DDA}	-	1.8	-	5	V
参考电压	V_{ref+}	$V_{DDA} > 4V$, DABUFI_VSEL = 1	-	4V	-	V
		$V_{DDA} > 2.5V$, DABUFI_VSEL = 0	-	2.5V	-	V
最小转换时间	t_{conv}	1LSB 的输出变化输出稳定时间, 8bit DAC, 负载电容 1pF	-	800	-	ns
最大转换时间	t_{settle}	3.3V, 从 0V 输出到最大满幅值, 8-bit, 负载电容 1pF	-	1	-	us
		3.3V, 从 0V 输出到最大满幅值, 12-bit, 负载电容 1pF	-	5	-	us
输出电压范围	V_{AIN}	-	0.02	-	4.98	V
工作电流	I_{DAC}	-	-	100	-	uA
电阻负载	R_{load}	-	-	-	1	k Ω
容性负载	C_{load}	-	-	-	10	pF

最低输出电压	DACOUT_ min	-	-	3	-	mV
最高输出电压	DACOUT_ max	-	-	4.98	-	V
微分非线性误差	INL	-	-	0.5	-	LSB
积分非线性误差	DNL	-	-	0.5	-	LSB
偏移误差	Offset	-	-	0.8	-	mV
增益误差	Gain error	-	-	0.05	-	%
从关闭状态启动的时间	t _{WAKEUP}	-	-	5	-	us
电源抑制比	PSRR	最小值为 1KHz; 最大值为 1MHz		33	-	95

4.2.16 LCD 特性参数

表 4-23 LCD 驱动器特性

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V _{DDA}	-	1.8	3.3/5	5	V
LCD 模块驱动电流	I _{lcd}	电阻分压 (BIAS =1/3, BRS<1:0>=00)	-	1	-	uA
		电阻分压 (BIAS =1/3, BRS<1:0>=01)	-	2	-	
		电阻分压 (BIAS =1/3, BRS<1:0>=11)	-	50	-	
1 倍输出电压	V _{L1}	1/3 偏压	-	1/3*V _{DD}	-	V
2 倍输出电压	V _{L2}	1/3 偏压	-	2/3*V _{DD}	-	V
3 倍输出电压	V _{L3}	1/3 偏压	-	V _{DD}	-	V

5. 封装特性

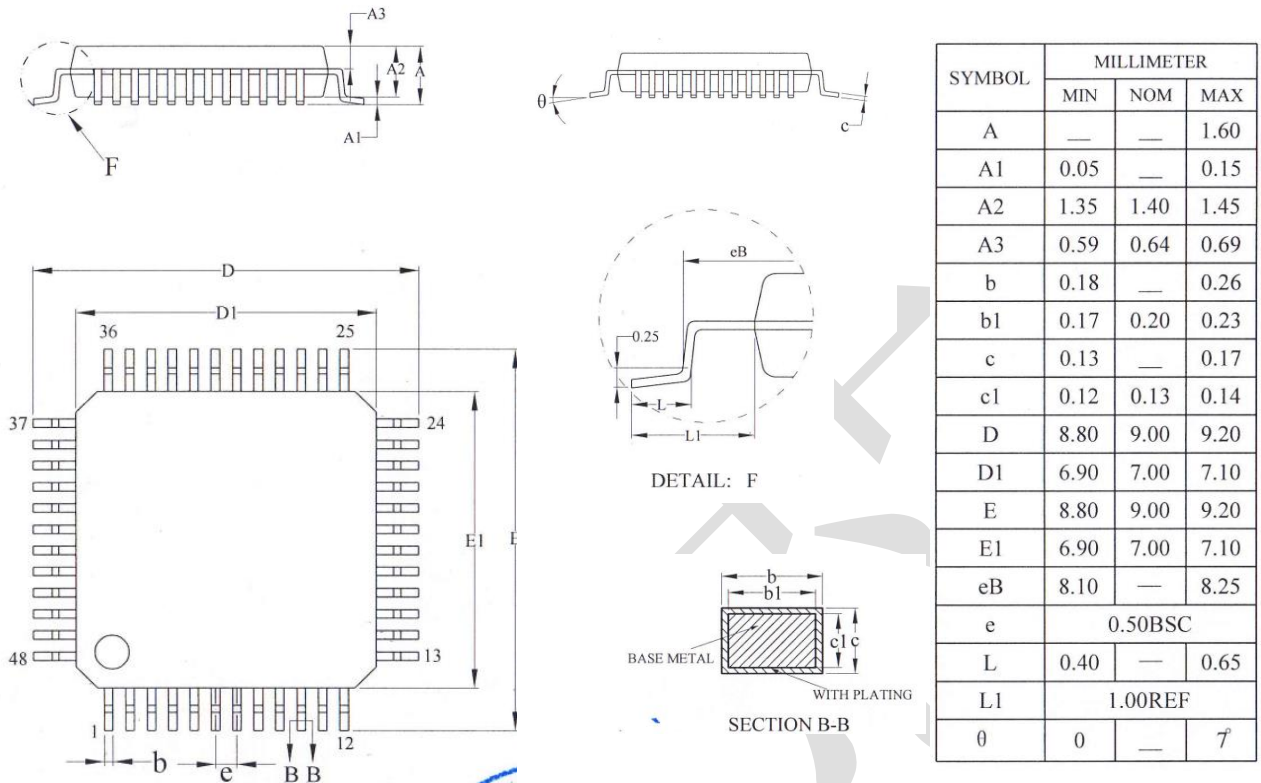


图 5-1 LQFP48 (7*7-P0.5) 封装尺寸

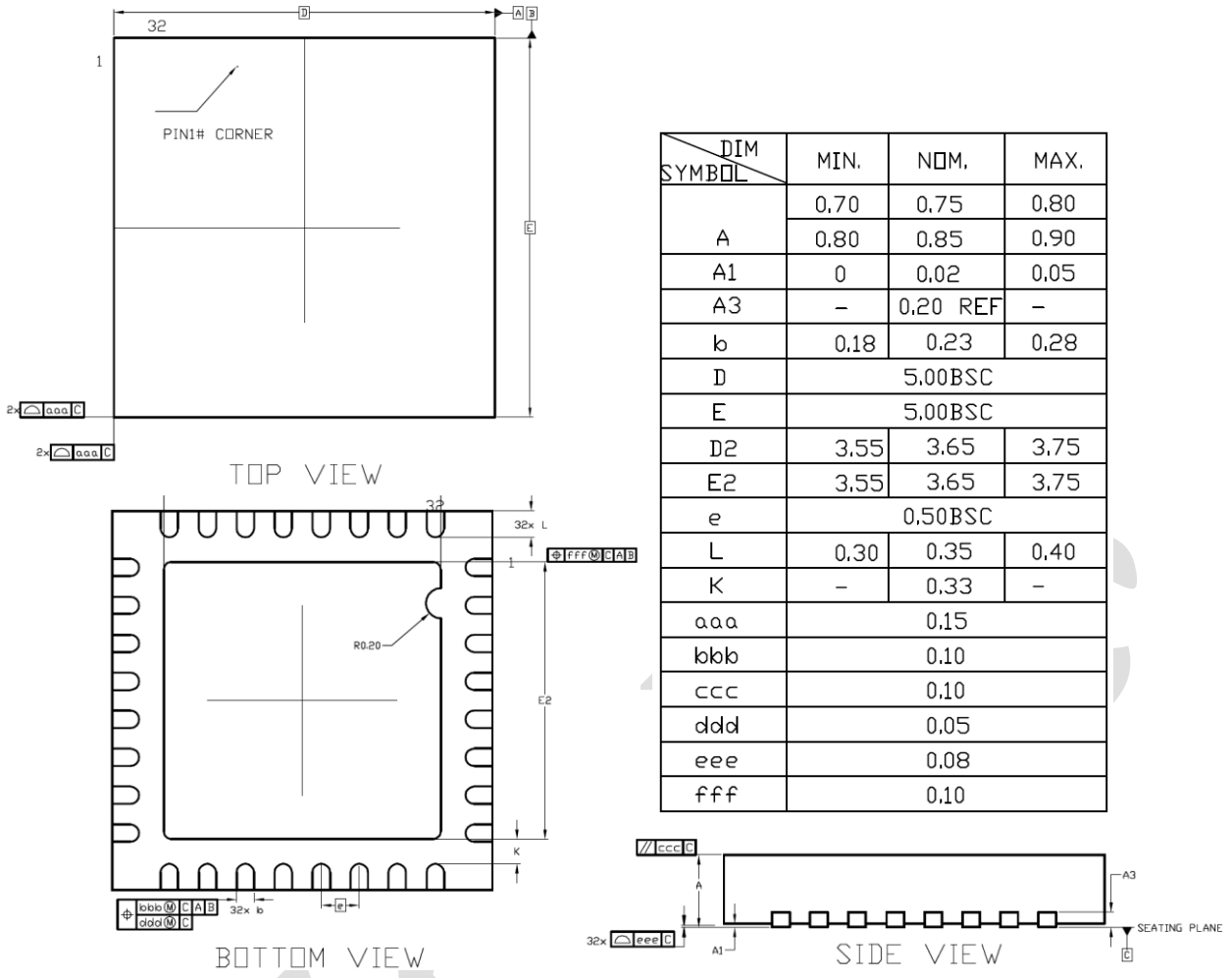
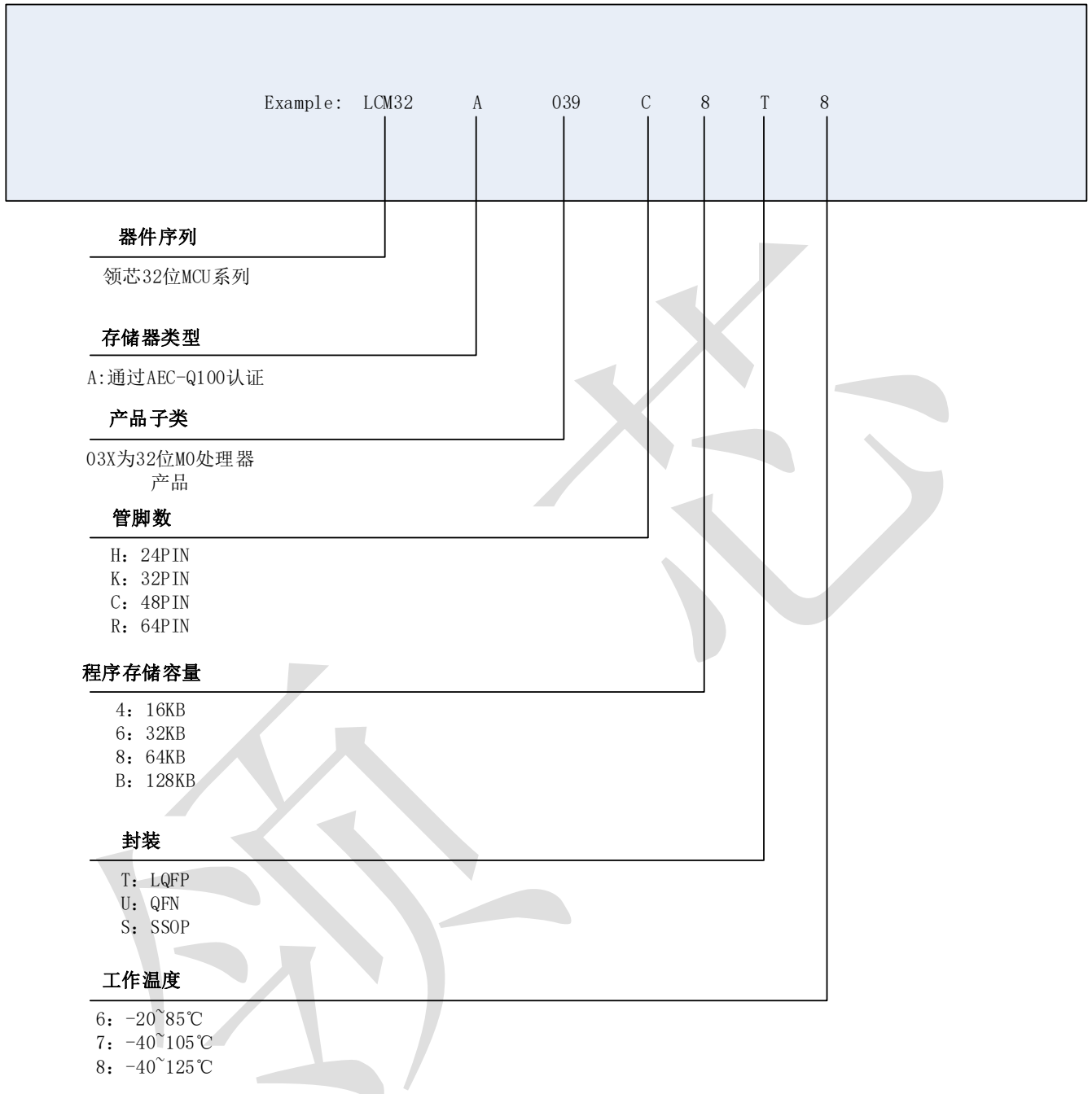


图 5-2 QFN32 (5*5*0.75-P0.5) 封装尺寸

6. 产品命名规则



7. 修订历史

版本	修改日期	修改历史	修改人
1.0	2023.04.26	初始版本 V1.0	Yang
1.1	2023.04.27	调整 LIN 的描述	HuJB
1.2	2023.09.15	1.修正图 2 LCM32A039C8T8 时钟树 2.修正图 6 DAC、HALL_MID 和 ACMP 互联 3.补充主要特性中 LCD 描述和 1.24 液晶显示驱动模块（LCD） 4.修正部分笔误	Yang
1.3	2024.07.16	更新框图	Liu
1.4	2024.08.13	1.ADC 章节调整 2.全文调整	Liu